

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»**

**Радіотехнічний факультет
Кафедра прикладної радіоелектроніки**

«На правах рукопису»
УДК _____

До захисту допущено:
В.о. зав. кафедри



Андрій МОВЧАНЮК
«__» _____ 2023 р.

Магістерська дисертація

на здобуття ступеня магістра

**за освітньо-професійною програмою «Інтелектуальні технології
радіоелектронної техніки»**

за спеціальністю 172 «Телекомунікації та радіотехніка»

**на тему: «Оптимізація друкованої плати контролера для зарядки
електромобіля»**

Виконала:
студентка 2 курсу, групи РЕ-21мп
Скосарева Анна Геннадіївна

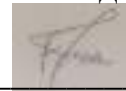


Керівник:
Сушко Ірина Олександрівна



Рецензент:
Васильєв Володимир Миколайович

Засвідчую, що у цій магістерській
дисертації немає запозичень з праць
інших авторів без відповідних
посилань.
Студентка _____



Київ – 2024 року

Національний технічний університет України
«Київський політехнічний інститут імені Ігоря Сікорського»
Радіотехнічний факультет
Кафедра прикладної радіоелектроніки

Рівень вищої освіти – другий (магістерський)

Спеціальність – 172 «Телекомунікації та радіотехніка»

Освітньо-професійна програма «Інтелектуальні технології радіоелектронної техніки»

ЗАТВЕРДЖУЮ

В.о.зав. кафедри



Андрій МОВЧАНЮК

« » _____ 2023 р.

ЗАВДАННЯ
на магістерську дисертацію студентки
Скосаревої Анни Геннадіївни

1. Тема дисертації «Оптимізація друкованої плати контролера для зарядки електромобіля»
науковий керівник дисертації Сушко Ірина Олександрівна
затверджені наказом по університету від «09» листопада 2023 р. № 5206-с
2. Термін подання студентом дисертації 11 січня 2024 року
3. Об'єкт дослідження: друкована плата контролера для зарядки електромобіля.
4. Вихідні дані: процесор STM32MP157CAA3, діапазон робочих температур °C: -20...+85, eMMC Flash 8Gb, DDR3L 16-bit 256Mb.
5. Перелік завдань, які потрібно розробити: Вступ, Аналіз ринку, Опис схем під'єднання, PCB Design, Цінова оптимізація.
6. Орієнтовний перелік графічного (ілюстративного) матеріалу: Габаритні розміри MX-A70NM30-IX21, презентація.

7. Орієнтовний перелік публікацій _____

8. Дата видачі завдання 01 вересня 2023 року

Календарний план

№ з/п	Назва етапів виконання магістерської дисертації	Термін виконання етапів магістерської дисертації	Примітка
1	Отримання теми магістерської дисертації	05.09.2023р.	
2	Розробка плану магістерської дисертації	10.09. 2023р.	
3	Початок збору інформації для дослідження	24.09.2023р.	
4	Аналіз ринку	05.10.2023р.	
5	Опис схем під'єднання	05.11.2023р.	
6	PCB Design	01.01.2024р.	
7	Цінова оптимізація	03.01.2024р.	
8	Оформлення магістерської дисертації	09.01.2024р.	

Студент

Анна Скосарева



Науковий керівник

Ірина Сушко



АНОТАЦІЯ

Дана магістерська дисертація складається з пояснювальної записки розміром у 69 сторінок, що містять у собі 60 ілюстрацій, 7 таблиць, 2 додатки та 33 посилання.

Мета даної дисертації — розробка аналогу чіпу QSMP-1570. Задля мінімізації змін в програмному забезпеченні приладу, процесор має бути STM32MP157CAA3, пам'ять DDR3L 16-bit 256Mb та eMMC Flash 8Gb. Діапазон робочих температур всіх обраних компонентів повинен бути не меншим за °C: -20...+85. У даній роботі був проведений огляд аналогів чіпу QSMP-1570, їх переваг та недоліків. Була розроблена схема-замінник чіпу QSMP-1570 та інтегрована в друковану плату існуючого проєкту. Був проведений ціновий аналіз схеми-заміннику.

Ключові слова: QSMP-1570, STM32MP157CAA3, PCB-Design, оптимізація, друкована плата.

					<i>PE-21мп.467444.001</i>			
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>				
<i>Розроб.</i>	<i>Скосарева А.Г.</i>				<i>Оптимізація друкованої плати контролера для зарядки електромобіля</i>	<i>Літ.</i>	<i>Арк.</i>	<i>Аркушів</i>
<i>Перевірюв.</i>	<i>Сушко І. О.</i>						4	
<i>Реценз.</i>						<i>КПІ ім. Ігоря Сікорського</i>		
<i>Н. Контр.</i>								
<i>Затвердив.</i>								

ANNOTATION

This master's thesis consists of an explanatory note of 69 pages, containing 60 illustrations, 7 tables, 2 appendices and 33 references.

The purpose of this thesis is to develop an analogue of the QSMP-1570 chip. In order to minimize changes in the software of the device, the processor should be STM32MP157CAA3, memory DDR3L 16-bit 256Mb and eMMC Flash 8Gb. The operating temperature range of all selected components must be at least °C: -20...+85. In this work, a review of analogs of the QSMP-1570 chip, their advantages and disadvantages was carried out. A replacement circuit for the QSMP-1570 chip was developed and integrated into the printed circuit board of the existing project. A price analysis of the substitute scheme was carried out.

Keywords: QSMP-1570, STM32MP157CAA3, PCB-Design, optimization, printed circuit board.

					<i>PE-21мп.467444.001</i>			
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>				
<i>Розроб.</i>	<i>Скосарева А.Г.</i>				<i>Оптимізація друкованої плати контролера для зарядки електромобіля</i>	<i>Літ.</i>	<i>Арк.</i>	<i>Аркушів</i>
<i>Перевірюв.</i>	<i>Сушко І. О.</i>						4	
<i>Реценз.</i>						<i>КПІ ім. Ігоря Сікорського</i>		
<i>Н. Контр.</i>								
<i>Затвердив.</i>								

ПОЯСНЮВАЛЬНА ЗАПИСКА

ДО МАГІСТЕРСЬКОЇ ДИСЕРТАЦІЇ

За темою: «Оптимізація друкованої плати контролера для зарядки
електромобіля»

КИЇВ 2024

ЗМІСТ

Анотація	4
Annotation	5
Зміст.....	7
Перелік скорочень.....	9
Вступ.....	10
1 Аналіз ринку	12
1.1 Огляд аналогів ринку	12
1.1.1 QSMP-1570	12
1.1.2 CC-ST-DW69-ZM	14
1.1.3 OSD32MP157C-512M-IAA.....	15
1.2 Висновок	17
2 Опис схем під'єднання	18
2.1 Високошвидкісний зовнішній тактовий годинник.....	18
2.2 Режим початкового завантаження.....	19
2.3 DDR3L	21
2.3.1 Оптимізована за вартістю point-to-point топологія.....	22
2.4 eMMC Flash.....	24
2.5 Display serial interface.....	25
3 PCB Design	27
3.1 Вибір параметрів друкованої плати згідно вимог JLPCSB	27

					<i>PE-21мп.467444.001</i>			
Зм.	Лист	№ докум.	Підпис	Дата				
Розроб.		Скосарева А.Г.			<i>Оптимізація друкованої плати контролера для зарядки електромобіля</i>	Літ.	Арк.	Аркушів
Перевірів.		Сушко І. О.					1	
Реценз.						<i>КПІ ім. Ігоря Сікорського</i>		
Н. Контр.								
Затвердив.								

	8
3.2 Високошвидкісний зовнішній тактовий годинник.....	30
3.3 Режим початкового завантаження.....	31
3.4 DDR3L.....	32
3.4.1 Ширина доріжки	32
3.4.2 Ізоляція.....	35
3.4.3 Вирівнювання довжини.....	39
3.4.4 Живлення	52
3.5 eMMC Flash.....	53
3.6 Display serial interface.....	55
4 Цінова оптимізація.....	61
4.1 STM32MP157CAA3	61
4.2 DDR3L MT41K256M16TW-107 AUT:P	62
4.3 eMMC IS21ES08GA-JQLI-TR	63
4.4 Інші компоненти	64
4.4.1 ABM11W-24.0000MHZ-7-K1Z-T3.....	65
4.4.2 MMC-463F-32.768KHZ-T.....	65
4.4.3 KPT-2012CGCK.....	66
4.4.4 BAT54SWT1G	66
4.4.5 TPS65023RSBR.....	67
4.5 Загальний аналіз.....	68
Висновки	71
5 Перелік використаних джерел	72
Додаток А. Габаритні розміри MX-A70HM30-IX21	76

ПЕРЕЛІК СКОРОЧЕНЬ

SMD — Surface Mount Device
 BGA — Ball grid array
 VIP — Via In Pad
 DDR — Double Data Rate
 DSI — Display Serial Interface
 SD Card — Secure Digital Memory Card
 eMMC — Embedded Multimedia Memory Card
 GND — Ground
 VIA — Vertical Interconnect Access
 PCB — Printed Circuit Board
 TFBGA — Thin and Fine-Pitch Ball Grid Array
 DNI — Do Not Insert
 PMIC — Power Management Integrated Circuit
 HSE — High-Speed External
 A/C — Addresses/Commands
 USB — Universal Serial Bus
 DGND — Digital Ground
 VREF — Voltage Reference
 JLCPCB — JiaLiChuang (JLC) Printed Circuit Board (PCB)
 VDD — Voltage Drain Drain
 LFBGA — Low-Profile Fine-Pitch Ball Grid Array

					<i>PE-21mn.467444.001</i>	Арк.
						3
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпись</i>	<i>Дата</i>		

ВСТУП

В даній роботі буде виконано проектування друкованої плати контролера для зарядки електромобіля.

В останні роки на ринку напівпровідників можна спостерігати кризу. Термін «напівпровідникова криза» використовується для опису ситуації, коли виробнича потужність не в змозі задовольнити попит на напівпровідникові компоненти. Підприємства не можуть закупити необхідну кількість чіпів, і як наслідок: збільшення обсягів недопоставок виготовлених товарів та їх подорожчання [1]. «За даними досліджень, дефіцит мікросхем безпосередньо впливає на 169 галузей. Найбільш залежні – автомобільна та електронна промисловості» [2], — повідомляють Speka media. Загалом, криза напівпровідників була спричинена декількома факторами:

1. Зростання попиту: пандемія COVID-19 призвела до збільшення попиту на пристрої, пов'язаними з дистанційною роботою, онлайн-комерцією та медициною.
2. Геополітичні фактори: геополітичні конфлікти та санкції впливають на глобальні ланцюги постачання матеріалів та компонентів.
3. Глобальні обставини: пандемія COVID-19 призвела до обмеження виробництва та транспорту у різних частинах світу.

Наслідками кризи напівпровідників є суттєве зростання цін, затримки в поставках та зникнення певних компонентів з ринку.

Аби зменшити вплив кризи напівпровідників на виробництво, було прийнято рішення розробити власний контролер для зарядки електромобіля та інтегрувати його в існуючу друковану плату. Отриманий інтегрований контролер має замінити собою на вже існуючій платі управління контролер QSMP-1570 [3] від Ka-Ro electronics. Також слід зазначити, що наявні технологічні можливості вимушують розмістити всі електронні компоненти на одній стороні плати. Обов'язково використовувати ту саму модель

					<i>PE-21мн.467444.001</i>	Арк.
						4
Зм.	Лист	№ докум.	Підпись	Дата		

процесору, що встановлена в QSMP-1570 зі збереженням PinOut задля мінімізування змін в програмному забезпеченні приладу. Отримана плата повинна бути 4х шаровою. При виборі компонентів орієнтуватися на мінімальну вартість при замовленні від 1 тис. шт., та максимальній робочій температурі не менше +85°C.

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		5

1 АНАЛІЗ РИНКУ

1.1 Огляд аналогів ринку

На даний момент на ринку контролер QSMP-1570 відсутній. Вдалося знайти декілька його аналогів, частина з яких присутня на ринку, але не може бути використана в нашому випадку. Причини цього, та огляд знайдених аналогів разом з контролером QSMP-1570 наведено нижче.

1.1.1 QSMP-1570

Даний контролер зображений на рисунку 1.1.



Рисунок 1.1 — Контролер QSMP-1570 від Ka-Ro electronics [3]

Чіп відноситься до QS Family підкатегорії Computer-on-Modules. Містить в собі процесор серії STM32MP1 — STM32MP157C, 512 MB RAM, та 4GB eMMC. Підтримує інтерфейси Ethernet, FD-CAN, I2C, MIPI-DSI, SAI, SPI, UART, USB. Граничні робочі температури: -40...+85 °C. Щодо габаритних розмірів: 27 мм квадрат та 2.3 мм загальної висоти. Встановлення на плату відбувається за рахунок 100 контактних площадок кроком в 1 мм на краях чіпу:

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		6

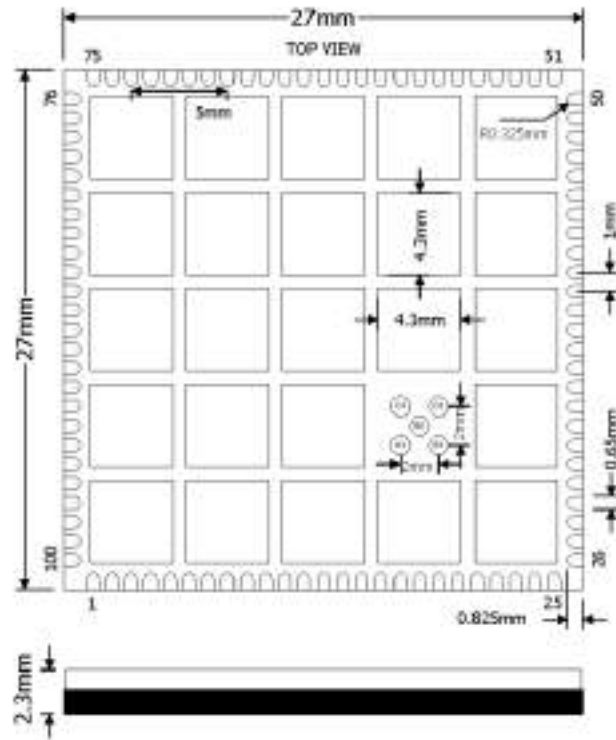


Рисунок 1.2 — Габаритні розміри QSMP-1570 [3]

Ціни на даний контролер ще не були оновлені, так як він відсутній на ринку. Однак можна ознайомитися з цінами минулих поставок:

Karo Electronics		QSMP-1570		€ 59.656						
Distributor	SKU	Stock #	MOQ	Pkg	Bulk Pricing	1 #	10 #	100 #	1,000 #	10,000 #
Mouser	251-QSMP-1570	0	1	100		€5.930	€5.930	€5.930	€5.930	€5.930

Рисунок 1.3 — Ціни на QSMP-1570 [4]

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		7

1.1.2 CC-ST-DW69-ZM

Даний компонент зображений на рисунку 1.4.



Рисунок 1.4 — Контролер CC-ST-DW69-ZM [5]

Виробником даного контролера є фірма DIGI. Він відноситься до Digi ConnectCore MP1 system-on-module family. Містить в собі процесор STM32MP133C, що вже є неприйнятним для нас, так як прийдеться корегувати програмне забезпечення. Компонент підтримує реалізацію інтерфейсів I2C, UART, USART, SPI, SAI, CAN FD, USB 2.0 high-speed host + 1x USB 2.0 full-speed OTG. Граничні робочі температури: -40...+85 °C. Щодо габаритних розмірів: 29 мм квадрат та 3 мм загальної висоти. Встановлення на плату відбувається за рахунок 76 зубчастих отворів по краям чіпу.

Authorized Distributor	Stock	MOQ	Price	1+	5+	10+	100+	1000+
Avnet	5	1	185	25.82	25.82	25.82	25.82	25.82
Samtec	0	1	185	25.82	25.82	25.82	25.82	25.82
Avnet	0	1	185	25.82	25.82	25.82	25.82	25.82

Рисунок 1.5 — Ціни на CC-ST-DW69-ZM [6]

Можемо бачити, що даний контролер наявний у кількості 5 шт. у Avnet. Ціна за 1 шт. при купівлі 1000 шт. при цьому складає 75.93 \$.

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		8

1.1.3 OSD32MP157C-512M-IAA

Даний контролер зображений на рисунку 1.6.



Рисунок 1.6 — Контролер OSD32MP157C-512M-IAA [7]

Виробником даного контролеру є Octavo Systems LLC. Він відноситься до серії OSD32MP15x. Містить в собі необхідний нам процесор STM32MP157C, і підтримує підключення всіх необхідних нам інтерфейсів. Граничні робочі температури: $-40...+85$ °C. Щодо габаритних розмірів: 18 мм квадрат та 2.4 мм загальної висоти. Встановлення на плату відбувається за рахунок 302 контактних площадок кроком в 1 мм на нижній стороні чіпу.

Octavo Systems
OSD32MP157C-512M-IAA
32C ARM Cortex A27ARM Cortex M4 FSC 650MHz Dual
CovS2Single Core 302-Pin BGA
\$ 5725

Price and Stock

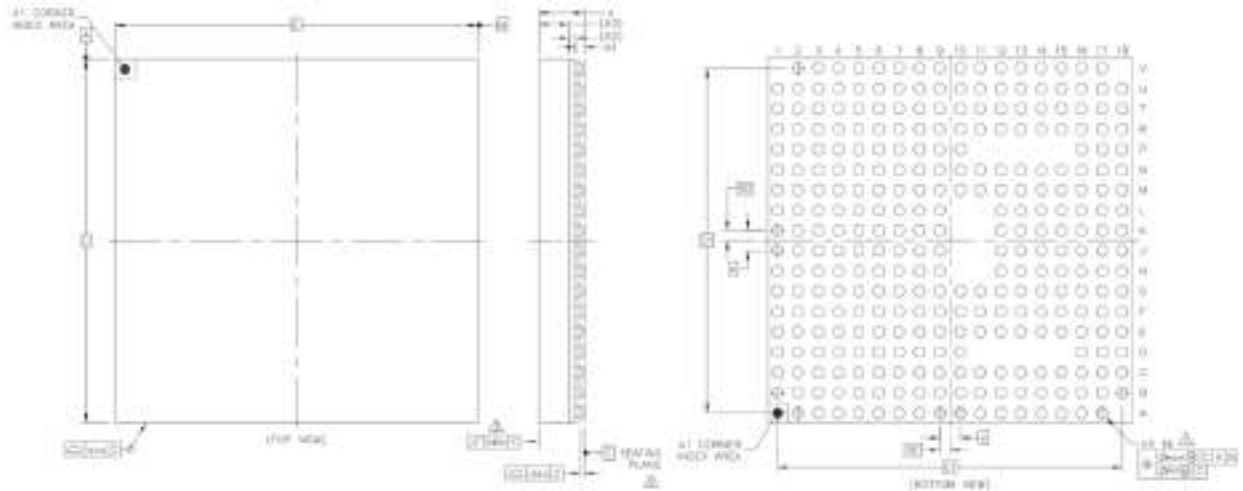
Authorized Distributors

Authorized Distributors	SKU	Stock	MOQ	Reg	Full Pricing	1+	10+	100+	1,000+
✓ Mouser (U.S.)	630-OSD32MP157C-512M-IAA-ND	122	5	Yes	USD	\$7200	\$7200	\$7200	\$7200
✓ Mouser (U.S.)	415-018MP157C512M4A	27	5		USD	\$7200	\$7200	\$7200	\$7200
✓ Avnet (U.S.)	OSD32MP157C-512M-IAA	0	100		USD				\$1920

Рисунок 1.7 — Ціни на OSD32MP157C-512M-IAA [8]

					<i>PE-21мп.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		9

Можемо побачити, що даний компонент присутній на ринку відразу у двох постачальників ціною у 57.23 \$ за шт. при купівлі 1000 шт.



	SYMBOL	COMMON DIMENSIONS		
		MIN	NOM.	MAX.
TOTAL THICKNESS	A	---	---	2.4
STAND OFF	A1	0.36	---	0.46
SUBSTRATE THICKNESS	A2	---	0.34	REF
WELD THICKNESS	A3	---	1.0	REF
BODY SIZE	D	---	18	BSC
	E	---	18	BSC
BALL DIAMETER		---	0.5	
BALL OPENING		---	0.4	
BALL OFFSET	B	0.44	---	0.04
BALL PITCH	a	---	1	BSC
BALL COUNT	n	---	302	
EDGE BALL CENTER TO CENTER	D1	---	17	BSC
	E1	---	17	BSC
BODY CENTER TO CONTACT BALL	D2	---	0.8	BSC
	E2	---	0.8	BSC
PACKAGE EDGE TOLERANCE	aaa	---	0.1	
MOLD FLATNESS	aaa	---	0.2	
COPLANARITY	aaa	---	0.15	
BALL OFFSET (PACKAGE)	aaa	---	0.15	
BALL OFFSET (BALL)	aaa	---	0.06	

NOTES:

- △ DIMENSION D IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO DATUM PLANE C.
- △ DATUM C (SEATING PLANE) IS DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.
- △ PARALLELISM MEASUREMENT SHALL EXCLUDE ANY EFFECT OF MARK ON TOP SURFACE OF PACKAGE.

Рисунок 1.8 — Габаритні розміри OSD32MP157C-512M-IAA [9]

Причина, по якій ми не можемо використовувати цей аналог замість QSMP-1570 помітна не одразу. Тип підключення даного чіпу — 302-BGA при розмірах 18 мм на 18 мм, що можна побачити на Рисунку 1.8. Там же присутня інформація щодо розмірів даного типу корпусу: простір між сусідніми контактними площадками 0.36 мм, та радіус однієї контактної площадки 0.32 мм. Враховуючи, що чіп містить 302 контактних площадки, а частина інтерфейсів потребує трасування з імпедансом та чітким дотриманням відстаней між сусідніми доріжками, навіть за умови використання технології Via In Pad(далі — VIP), трасування даного чіпу на 4х шаровій платі є

Зм.	Лист	№ докум.	Підпись	Дата

PE-21мп.467444.001

Арк.

10

надскладною задачею, що буде вимагати індивідуальний Layer Stack та надтонкі доріжки. Як наслідок – висока собівартість плати, що є недопустимим.

1.2 Висновок

Наявні на ринку аналоги частково відповідають необхідним вимогам, однак їх кількість не відповідає попиту виробництва. Так як технологічні можливості дозволяють виготовити друковану плату з інтегрованим у неї контролером, було прийнято рішення розробити власний аналог чіпу QSMP-1570.

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		11

2 ОПИС СХЕМ ПІД'ЄДНАННЯ

Так як дана розробка була розпочата за замовленням підприємства і підпадає під корпоративну таємницю, в даній розробці будуть показані лише ті матеріали, які було дозволено висвітлити.

2.1 Високошвидкісний зовнішній тактовий годинник

Хоча процесор STM32MP157C і обладнаний внутрішнім тактовим генератором, для роботи таких зовнішніх інтерфейсів як DDR3L та USB потрібен зовнішній годинник, який потрібно підключити до контактів HSE.

Для даної серії процесору виробник рекомендує використати HSE кристал або генератор з частотою 24 МГц як основний зовнішній годинник.

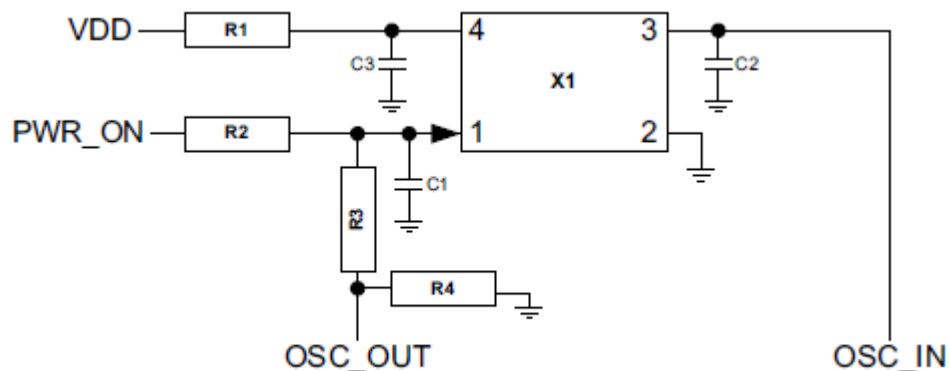


Рисунок 2.1 — Рекомендована схема підключення HSE для обох варіантів (кристал та генератор) [10]

-	Oscillator	Crystal
X1	NZ2016SH 24 MHz	NX2016SA 24 MHz
R1	10 ohms	-
R2	10 Kohms	-
R3	-	0 ohm
R4	1Kohm	-
C1	-	5.8 pF
C2	-	5.8 pF
C3	10 nF	-

Рисунок 2.2 — Рекомендовані номінальні значення компонентів для схеми з Рисунку 2.1 [10]

Враховуючи, що зовнішній годинник необхідно розмістити якомога ближче до контактів HSE задля мінімізації спотворень сигналу, було прийнято рішення використати саме кристал HSE, так як його схема підключення має меншу кількість компонентів, і як наслідок, буде менше завад при подальшому трасуванні процесора.

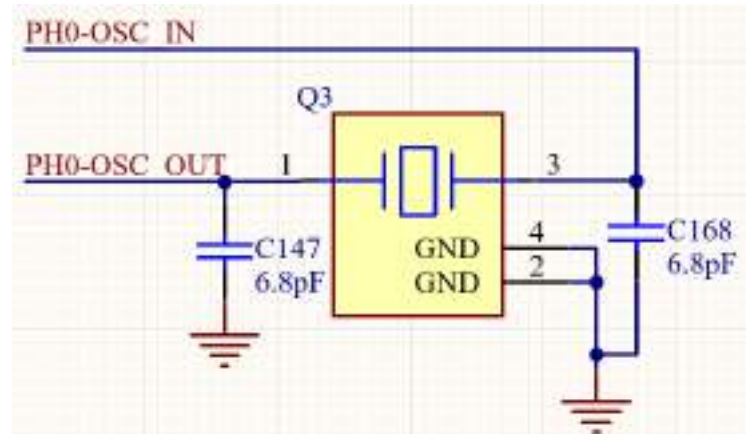


Рисунок 2.3 — Кінцева схема підключення зовнішнього тактового кристалу

Під'єднання ліній PH0-OSC_IN та PH0-OSC_OUT відбувається до контактів процесору T1 та T2 відповідно.

2.2 Режим початкового завантаження

У пристроях серії STM32MP15x різні режими завантаження можна вибирати за допомогою контактів BOOT[2:0].

BOOT2	BOOT1	BOOT0	Initial boot mode	Comments
0	0	0	UART and USB ⁽¹⁾	Wait incoming connection on: – USART2/3/6 and UART4/5/7/8 on default pins – USB High-Speed device on OTG_HS_DP/DM pins ⁽²⁾
0	0	1	Serial NOR-Flash ⁽³⁾	Serial NOR-Flash on QUADSPI ⁽⁵⁾
0	1	0	eMMC™ ⁽³⁾	eMMC™ on SDMMC2 (default) ⁽⁵⁾⁽⁶⁾
0	1	1	NAND-Flash ⁽³⁾	SLC NAND-Flash on FMC
1	0	0	Engineering boot (No Flash boot)	Used to get debug access without boot from Flash ⁽⁴⁾
1	0	1	SD-Card ⁽³⁾	SD-Card on SDMMC1 (default) ⁽⁵⁾⁽⁶⁾
1	1	0	UART and USB ⁽¹⁾⁽³⁾	Wait incoming connection on: – USART2/3/6 and UART4/5/7/8 on default pins – USB High-speed device on OTG_HS_DP/DM pins ⁽²⁾
1	1	1	Serial NAND-Flash ⁽³⁾	Serial NAND-Flash on QUADSPI ⁽⁵⁾

Рисунок 2.4 — Режими завантаження [10]

Згідно рекомендацій виробника процесора, наведених на Рисунку 2.4, за замовчуванням завантаження краще виконувати з накопичувача пам'яті — eMMC або SD-Card. Хоча у чіпі QSMP-1570 в якості накопичувача пам'яті встановлена eMMC на 4 Gb, було прийнято рішення використовувати аналогічну пам'ять із більшим об'ємом — 8 Gb.

Таким чином, режим завантаження встановлюємо на eMMC з можливим переключенням на USB вручну за рахунок замикання XS1.

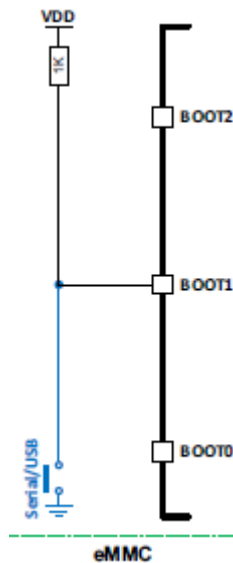


Рисунок 2.5 — Типова схема підключення контакту BOOT1 [10]

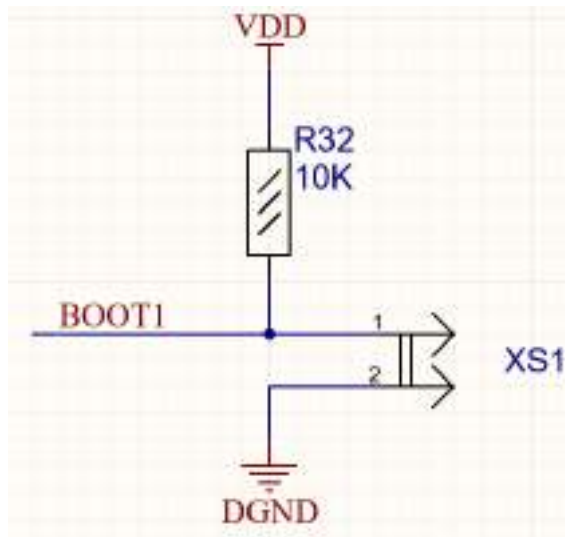


Рисунок 2.6 — Використана схема підключення контакту BOOT1

Зм.	Лист	№ докум.	Підпись	Дата

Контакти BOOT0 та BOOT2 згідно Рисунку 2.4 мають бути підключені до низького рівня — DGND. Підключення буде виконано через pull-down резистори. Pull-up резистори також будуть присутні на цих контактах, однак будуть мати позначку DNI і монтуватися опціонально.

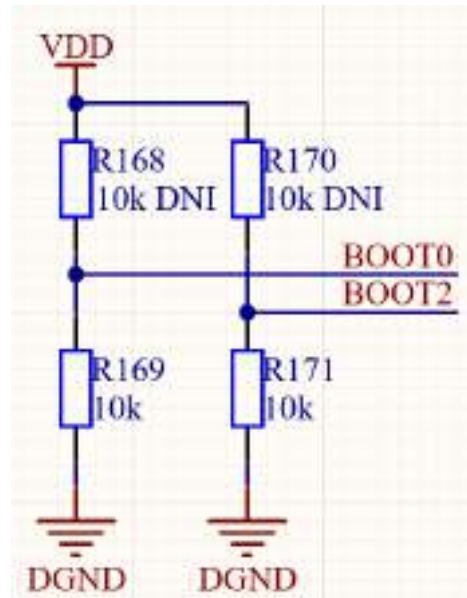


Рисунок 2.7 — Використана схема підключення контактів BOOT0 та BOOT2

2.3 DDR3L

DDR3 відрізняється від DDR3L лише іншою напругою живлення (1,5 В проти 1,35 В) і рівнем VREF (0,75 В проти 0,675 В). У чіпі QSMP-1570 використана DDR3L 16-bit 512Mb. В даній розробці будемо використовувати пам'ять DDR3L 16-bit 256Mb за запитом керівництва.

Структурна схема підключення пам'яті до процесору буде виглядати наступним чином:

					<i>PE-21мп.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		15

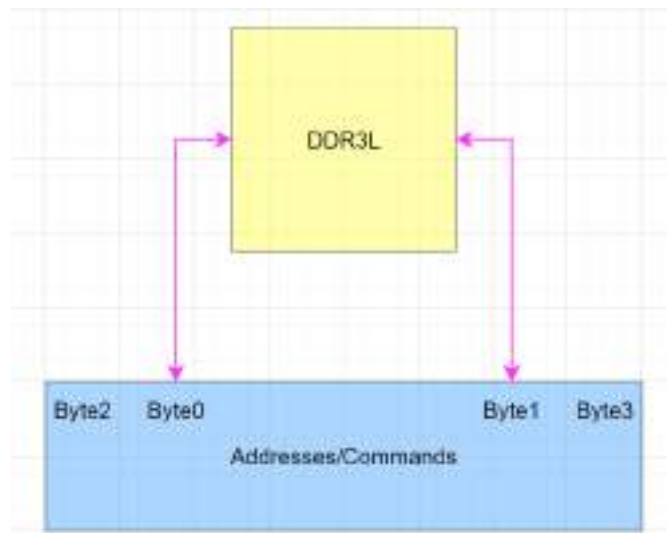


Рисунок 2.8 — Структурна схема підключення пам'яті до процесору

Як можна помітити, групи контактів для передачі даних Byte2 та Byte3 не використовуються. Вони існують для можливості підключення другої пам'яті, чого в даній роботі виконано не буде.

2.3.1 Оптимізована за вартістю point-to-point топологія

Технологія point-to-point означає:

- Підключення кожної Addresses/Commands (далі А/С) шини напряму, без термінації;
- Використання послідовно підключеного резистору 33 Ом для кожної А/С лінії;
- Сигнали CLK_N/CLK_P термінуються диференційно за допомогою одного резистора 100 Ом;
- Шини даних підключаються напряму (16 data signals, 2 mask data signals, 2 differential clocks).
- На сигнал скидання DDR_RESETN встановлюється 1 pull-down резистор 10 кОм;
- Резистори на сигналі ZQ мають мати номінал 240 Ом (+/- 1%), і бути розміщені між контактними площадками та землею (1 зі сторони пам'яті та 1 зі сторони процесору);

- На сигнал вмикання внутрішніх схем та годинників DDR_CKE встановлюється 1 pull-down резистор 10 кОм.

Чіп QSMP-1570 та пам'ять DDR3L пов'язані між собою за допомогою 26 A/C ліній. Таким чином, дана технологія вимагає використання 26 резисторів 33 Ом. В рамках цінової оптимізації, дані резистори використовуватися не будуть. Підключення буде відбуватися напряму.

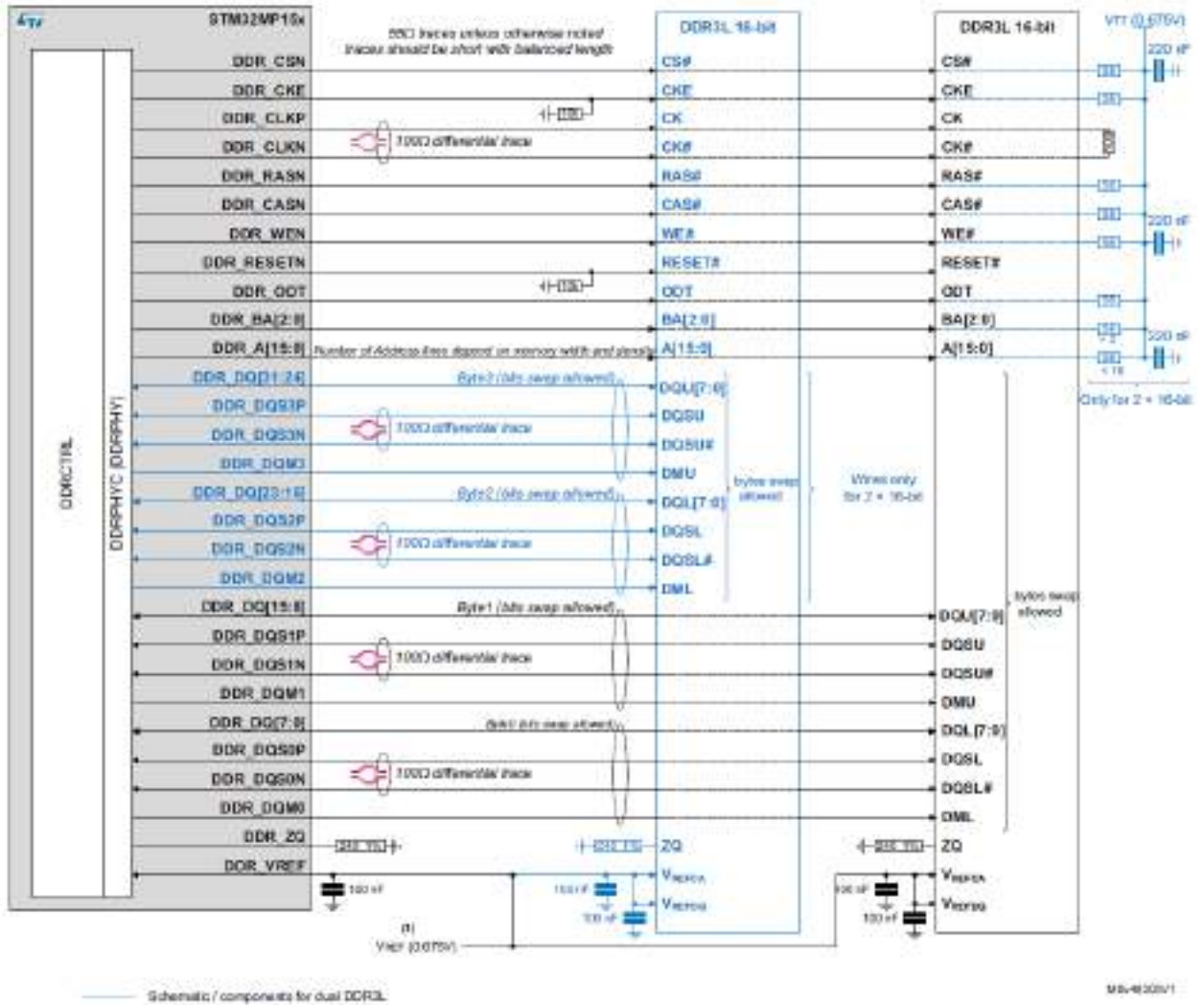


Рисунок 2.9 — Схема підключення DDR3L 16/32 bits до процесору [10]

На рисунку 2.9 наведена схема підключення пам'яті до процесору для варіанту одної DDR3L на 16 bit, та двох DDR3L на 16 bit (додаткова пам'ять, зв'язки та компоненти для її підключення позначено синім — ця частина реалізовуватися не буде).

2.4 eMMC Flash

Чіп QSMP-1570 має вбудовану пам'ять eMMC на 4 Гб. За запитом керівництва, пам'ять на новому контролері буде більшого об'єму – 8 Гб.

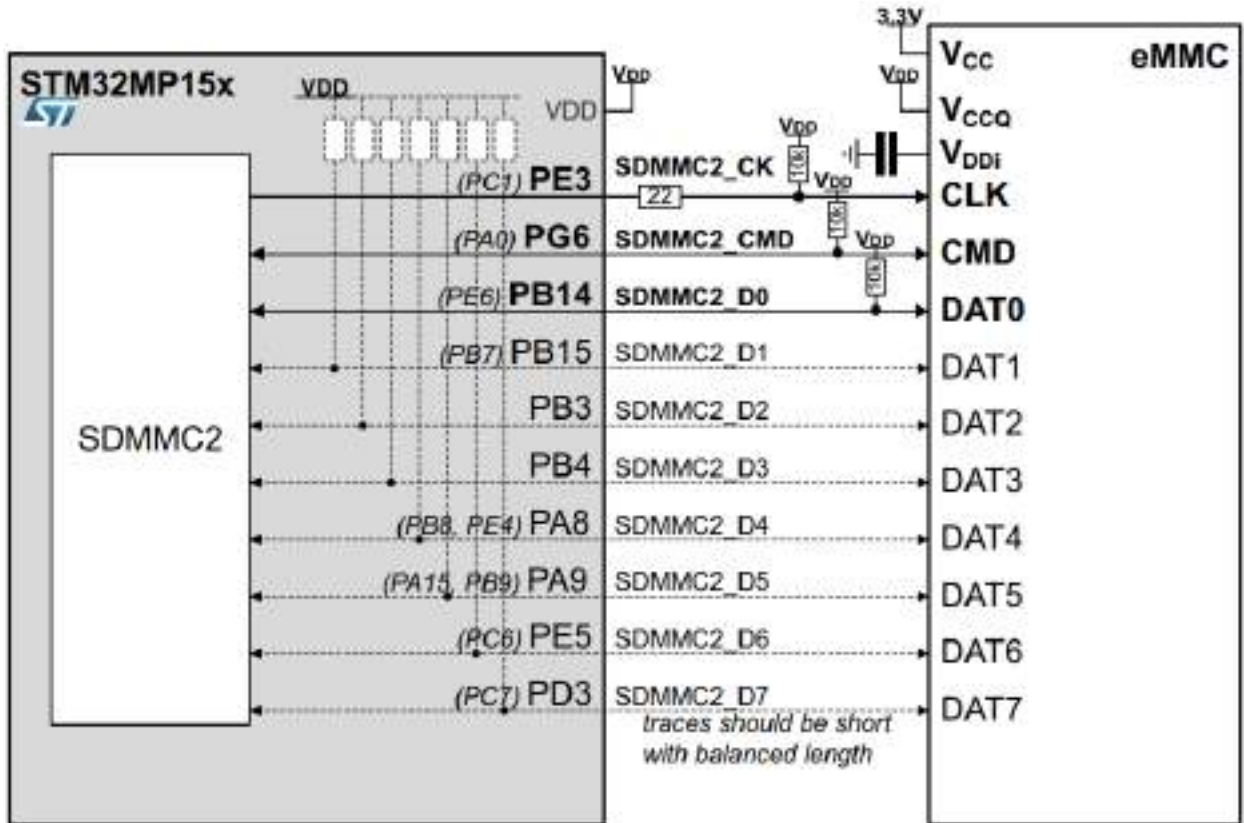


Рисунок 2.10 — Схема підключення eMMC Flash до процесору [10]

В рамках цінової оптимізації, 7 pull-up резисторів, підключених до ліній передачі даних (на Рисунку 2.10 позначені пунктиром) будуть виключені зі схеми.

Також слід зазначити, що для стабілізації живлення eMMC, на її контакти живлення будуть додані конденсатори:

										Арк.
										18
Зм.	Лист	№ докум.	Підпись	Дата						

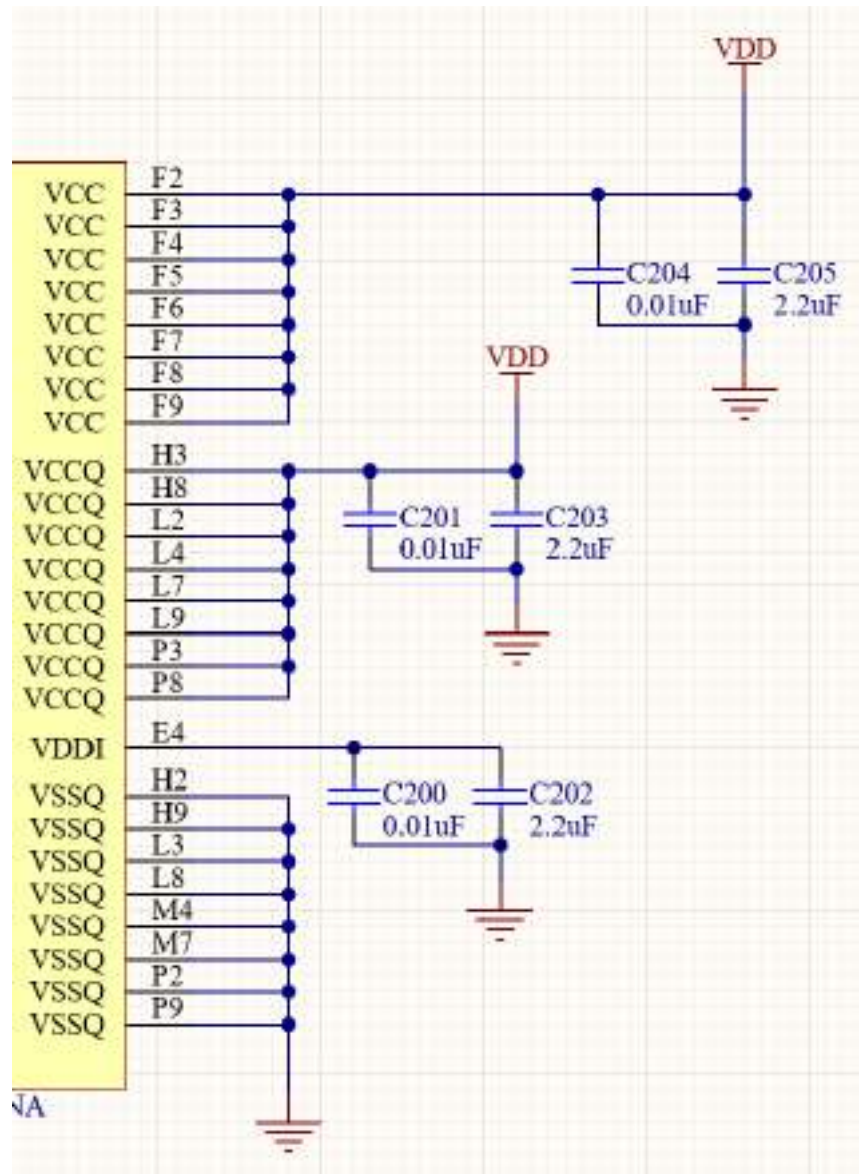


Рисунок 2.11 — Живлення eMMC Flash

2.5 Display serial interface

Зарядний пристрій обладнаний сенсорним екраном, що означає необхідність його підключення для процесору. Загальна схема виглядає наступним чином:

					<i>PE-21mn.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		19

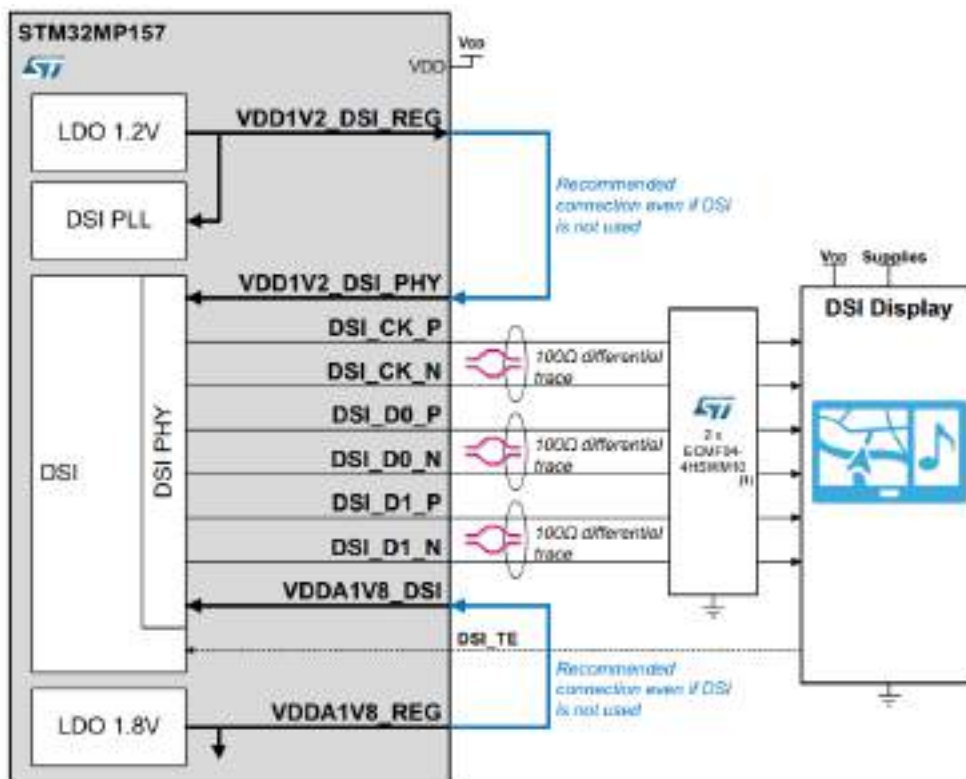


Рисунок 2.12 — Схема підключення DSI [10]

Слід окремо відзначити, що підключення дисплею буде відбуватися через роз'єм на друкованій платі, що не показано на Рисунок 2.12.

З'єднання дисплею з роз'ємом буде відбуватися за рахунок інтегрованої у дисплей гнучкої друкованої плати, яка містить в собі компоненти для захисту від електростатичного розряду. По цій причині 2 діоди ECMF04-4HSWM10, які на схемі на Рисунок 2.12 встановлені для захисту від електростатичного розряду, використовуватися не будуть в рамках цінової оптимізації. Підключення DSI ліній буде відбуватися напряму від процесору до роз'єму.

Зм.	Лист	№ докум.	Підпись	Дата

3 PCB DESIGN

3.1 Вибір параметрів друкованої плати згідно вимог JLCPCB

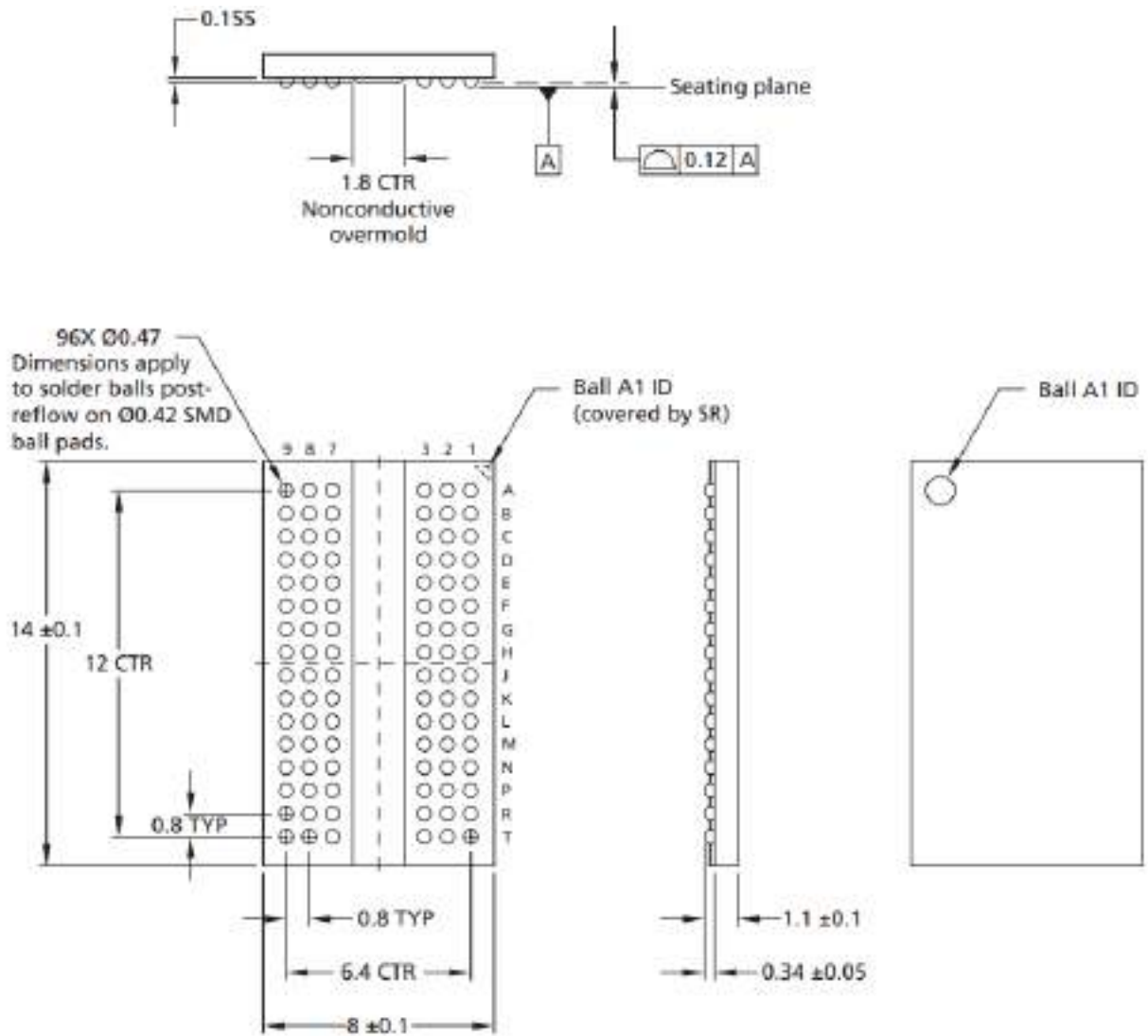
Виготовленням розробленої друкованої плати буде займатися китайський виробник JLCPCB. У зв'язку з цим, під час розробки потрібно дотримуватися наданих виробником технічних вимог [11]. Список мінімальних та максимальних можливостей JLCPCB для нашої конкретної задачі був перенесений в середовище розробки Altium Designer.

Слід окремо відмітити, що на сайті виробника у розділі «Можливості» не представлена інформація щодо технології Via In Pad, яка буде використовуватися при розробці. Однак після спілкування з виробником виявилось, що виготовлення такої плати для них не є проблемою.

Мінімальна ширина доріжки згідно вимог JLCPCB для 4x шарової друкованої плати складає 0.09 мм. Так як і пам'ять і процесор монтуються на друковану плату за допомогою BGA, а ширина доріжки напряму пов'язана з її імпедансом і товщиною шару металізації, слід приділити окрему увагу вибору стеку шарів плати.

Мінімальні відстані між BGA на друкованій платі має пам'ять DDR3L MT41K256M16TW-107 — 0.8 мм між центрами сусідніх контактних площадок. Діаметр однієї контактної площадки складає 0.4 мм, та додатково 0.05 мм ізоляції згідно вимог JLCPCB. Також слід врахувати, що відстань між контрактною площадкою та доріжкою має бути не менше 0.127 мм для різних сигналів — розділ «Зазор» на сайті JLCPCB.

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		21



Notes: 1. All dimensions are in millimeters.
 2. Material composition: Pb-free SAC302 (96.8% Sn, 3% Ag, 0.2% Cu).

Рисунок 3.1 — Габаритні розміри DDR3L MT41K256M16TW-107 [12]

JLPCSB для 4х шарової плати з контрольованим імпедансом та шириною плати в 1.6 мм пропонує на вибір 10 стеків шарів:

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		22

No requirement	JLC04161H-7628	JLC04161H-3313	JLC04161H-1080
JLC04161H-7628A	JLC04161H-7628B	JLC04161H-3313A	JLC04161H-1080A
JLC04161H-2116A	JLC04161H-2116B	JLC04161H-2116C	

layer	Material Type	Thickness	
Layer	Copper	0.035mm	
Prepreg	3313*1	0.0994mm	
Inner Layer	Copper	0.0152mm	1.3mm (with copper)
Core	Core	1.265mm	
Inner Layer	Copper	0.0152mm	
Prepreg	3313*1	0.0994mm	
Layer	Copper	0.035mm	

Рисунок 3.2 — JLCPCB Layer Stackup [11]

Після внесення мінімальних вимог в середовище Altium Designer, був вибраний набір шарів JLC04161H-3313. При виборі орієнтувалися на мінімальну ширину доріжки.

Підключення шарів буде відбуватися наступним чином:

1. Top layer — DGND;
2. Inner layer 1 — DGND;
3. Inner layer 2 — DGND;
4. Bottom layer — DGND.

Ситуаційно на більшості шарів будуть розведені окремі полігони живлення задля створення гарної розв'язки.

Зазвичай один із прихованих шарів 4х шарової друкованої плати заливають живленням: це дуже спрощує трасування, так як підключити живлення до компоненту стає можливим напряму через via. Однак цей варіант не буде реалізовуватися через необхідність живлення різною силою струму багатьох компонентів.

					<i>PE-21мп.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		23

3.2 Високошвидкісний зовнішній тактовий годинник

В якості зовнішнього тактового годинника була обрана модель АВМ11W-24.0000МНЗ-7-К1Z-Т3 [13]. Даний компонент має малі розміри 20x16 мм та здатний працювати у діапазоні температур -40...+125 °С.

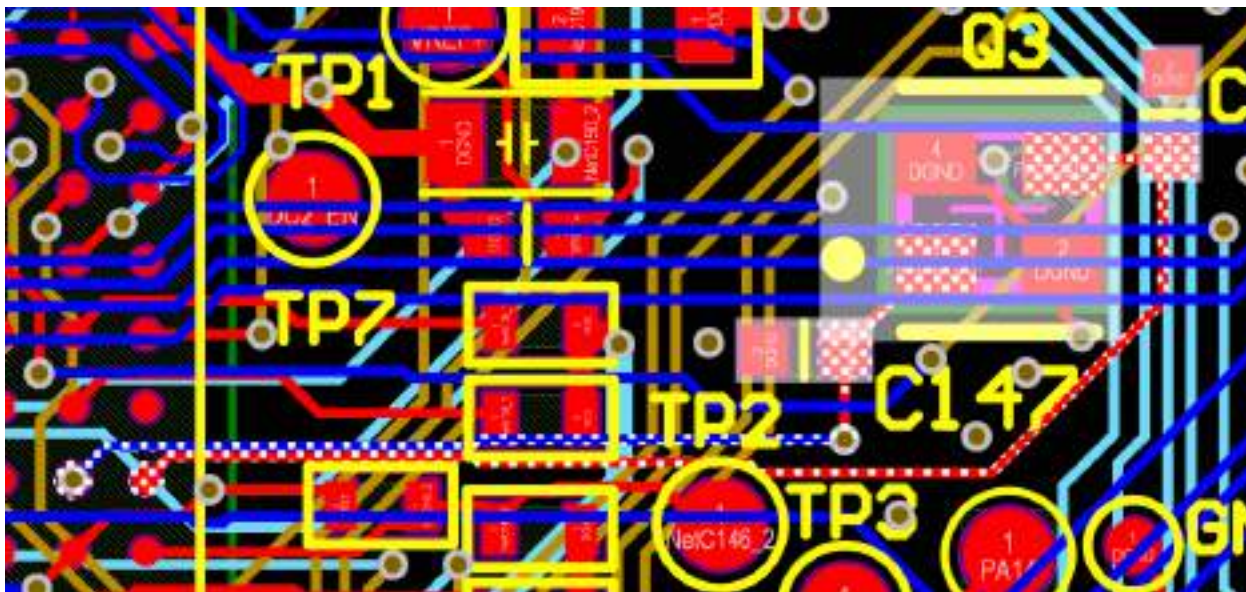


Рисунок 3.3 — Трасування АВМ11W-24.0000МНЗ-7-К1Z-Т3

На рисунку 3.3 розведені доріжки тактового годинника разом компонентами схеми підключення виділені білим кольором. Для підключення контакту PH0-OSC_OUT була використана технологія VIP.

										Арк.
										24
Зм.	Лист	№ докум.	Підпись	Дата						

3.3 Режим початкового завантаження

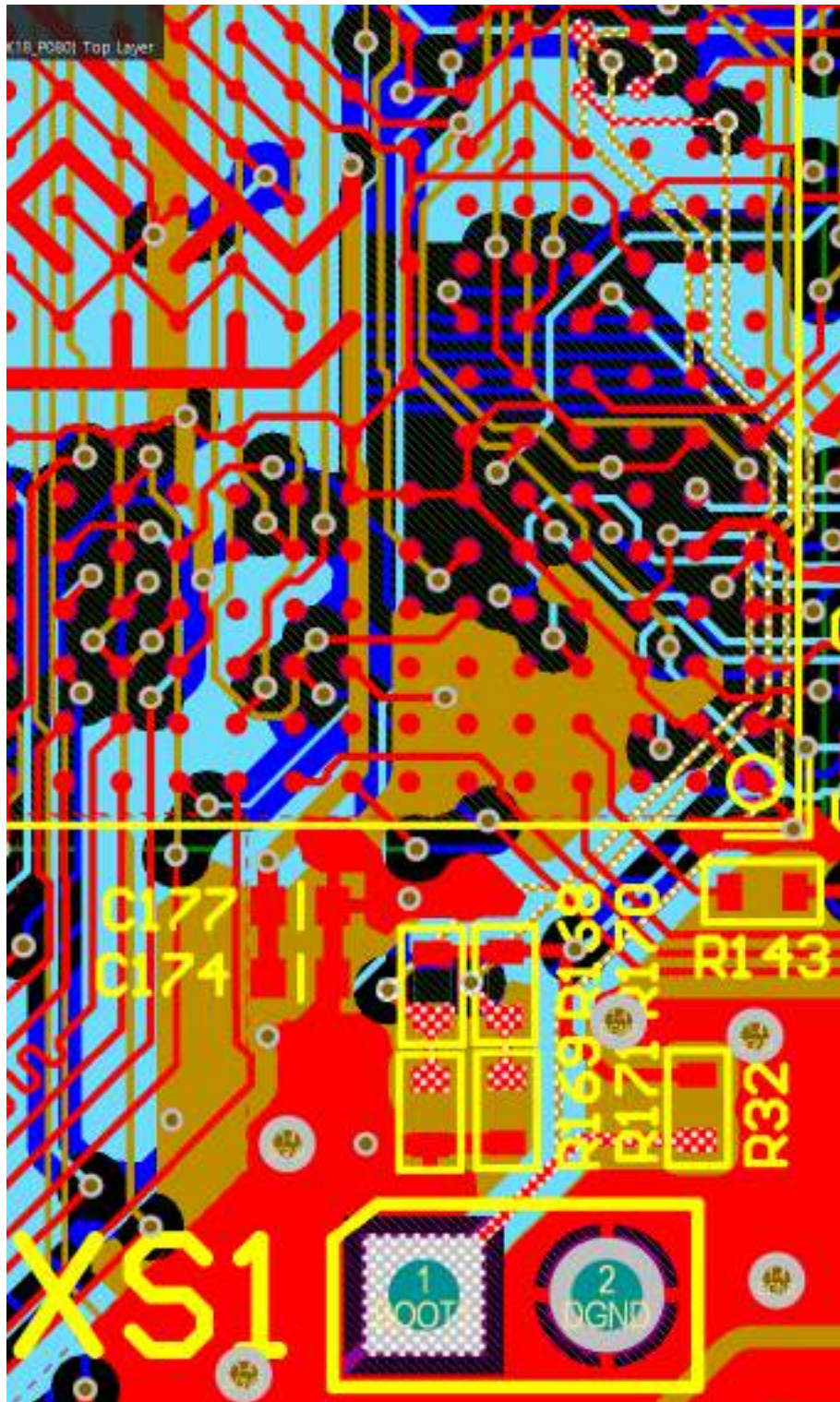


Рисунок 3.4 — Трасування компонентів режиму початкового завантаження

У даній серії процесору контакти BOOT 0, BOOT1, BOOT2 є контактами мікросхеми N3, N4, P4 відповідно.

Зм.	Лист	№ докум.	Підпись	Дата

PE-21мп.467444.001

Арк.

25

На рисунку 3.4 розведені доріжки компонентів режиму початкового завантаження, які виділені білим кольором разом з самими компонентами. Живлення компонентів відбувається за рахунок підключення до VDD.

Конектор XS1 використовується для інсталяції програмного забезпечення приладу і не монтується на плату. Замість нього при першому запуску встановлюється перемичка, яка замикає контакти BOOT1 та DGND. Після цього пристрій переходить зі стандартного режиму завантаження з пам'яті у режим завантаження з USB, і виконується інсталяція. Після завантаження програмного забезпечення перемичка демонтується, а контакти ізолюють.

3.4 DDR3L

За запитом керівництва в даній роботі повинна бути використана пам'ять DDR3L 16-bit 256Mb. Для цього був обраний чіп MICRON MT41K256M16TW-107 AUT:P. Він має корпус TFBGA та монтується на друковану плату за допомогою 96 контактних площадок на нижній стороні корпусу.

Окремо зазначимо, що розмір контактних площадок на друкованій платі буде зменшений з рекомендованих 0.42 мм в діаметрі до 0.40 мм в діаметрі задля спрощення підключення пам'яті до процесору в процесі розведення з'єднань.

3.4.1 Ширина доріжки

Для початку перелічимо всі сигнали, з якими ми будемо працювати. Вони поділяються на два класи: сигнали передачі даних (Data) та сигнали адреса/команда (A/C). Сигнали виду Data поділяються на Byte 0 та Byte 1. Кожен клас містить в собі одиночні сигнали та диференційні пари [14].

Data Byte 0 сигнали:

- DQ[0:7];
- DQM0;
- DQS0_P та DQS0_N — диференційна пара.

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		26

Data Byte 1 сигнали:

- DQ[8:15];
- DQM1;
- DQS1_P та DQS1_N — диференційна пара.

A/C сигнали:

- A[0:15];
- BA[0:2];
- CASN;
- CKE;
- CSN;
- ODT;
- RASN;
- WEN;
- CLK_N та CLK_P — диференційна пара.

Всі перелічені сигнали потребують трасування з імпедансом. Згідно рекомендацій виробника процесору:

- 55 Ом \pm 10% для одиночних ліній;
- 100 Ом \pm 10% для диференційних ліній.

Імпеданс доріжки залежить від товщини шару металізації друкованої плати і може бути розрахований програмно в середовищі розробки Altium Designer. Згідно обраного набору шарів із пункту 3.1 для одиночної доріжки ми отримаємо такі дані:

#	Name	Material	Type	Weight	Thickness	Dk	Surface Overlay	Layer	Actual Ref	Width (mm)	Imp.	Delta	Delay
	Top Overlay	Overlay	Overlay										
	Top Solder	Solder Paste	Solder Mask		0.2181mm	2.2							
	Top Copper Layer	Copper	Copper	35um	0.035mm								
	Prepreg 1	FR-4	Prepreg	0.127mm	0.127mm	4.7							
	Core 1	FR-4	Core	0.127mm	0.127mm	4.7							
	Prepreg 2	FR-4	Prepreg	0.127mm	0.127mm	4.7							
	Core 2	FR-4	Core	0.127mm	0.127mm	4.7							
	Prepreg 3	FR-4	Prepreg	0.127mm	0.127mm	4.7							
	Bottom Copper Layer	Copper	Copper	35um	0.035mm								
	Bottom Solder	Solder Paste	Solder Mask		0.2181mm	2.2							
	Bottom Overlay	Overlay	Overlay										

Рисунок 3.5 — Ширина одиночної доріжки з імпедансом 55 Ом

					<i>PE-21мп.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		27

Як можемо бачити з Рисунок 3.6, ширина доріжки для Top та Bottom layer буде складати 0.140 мм, а для прихованих шарів Inner layer — 0.105 мм.

Виконаємо аналогічний розрахунок для диференційної доріжки з опором 100 Ом:

Name	Material	Type	Weight	Thickness	Is
Top Overlay	Overlay	Overlay			
Top Layer	Substr. Board	Substr. Mat.	0.140mm	33	
Top 22.0µm prep	Substr. Prep	Substr. Prep	0.140mm	33	
Prepreg 1	Prepreg	Prepreg	0.105mm	33	
Core 1	Core	Core	0.105mm	33	
Prepreg 2	Prepreg	Prepreg	0.105mm	33	
Core 2	Core	Core	0.105mm	33	
Prepreg 3	Prepreg	Prepreg	0.105mm	33	
Prepreg 4	Prepreg	Prepreg	0.105mm	33	
Prepreg 5	Prepreg	Prepreg	0.105mm	33	
Bottom Layer	Substr. Board	Substr. Mat.	0.140mm	33	
Bottom Overlay	Overlay	Overlay			

Рисунок 3.6 — Ширина диференційної доріжки з імпедансом 100 Ом

Як можна бачити з Рисунок 3.7, ширина диференційної доріжки на шарах Top та Bottom буде складати 0.115 мм, а на прихованих Inner layer — 0.078 мм. Тут слід зробити окреме уточнення: можливості виробника JLPCSB дозволяють виготовити доріжку не менше 0.09 мм для 4х шарової друкованої плати. Таким чином, розведення диференційних ліній з використанням прихованих шарів без порушення імпедансу є неможливим. Однак, виробник процесору рекомендує розташувати диференційні лінії на зовнішніх шарах, і у зв'язку з виявленим обмеженням, цих рекомендацій ми будемо обов'язково дотримуватися.

Присвоєння правил трасування з імпедансом до перелічених вище класів сигналів (тільки одиночні доріжки) у середовищі Altium Designer виглядає наступним чином:

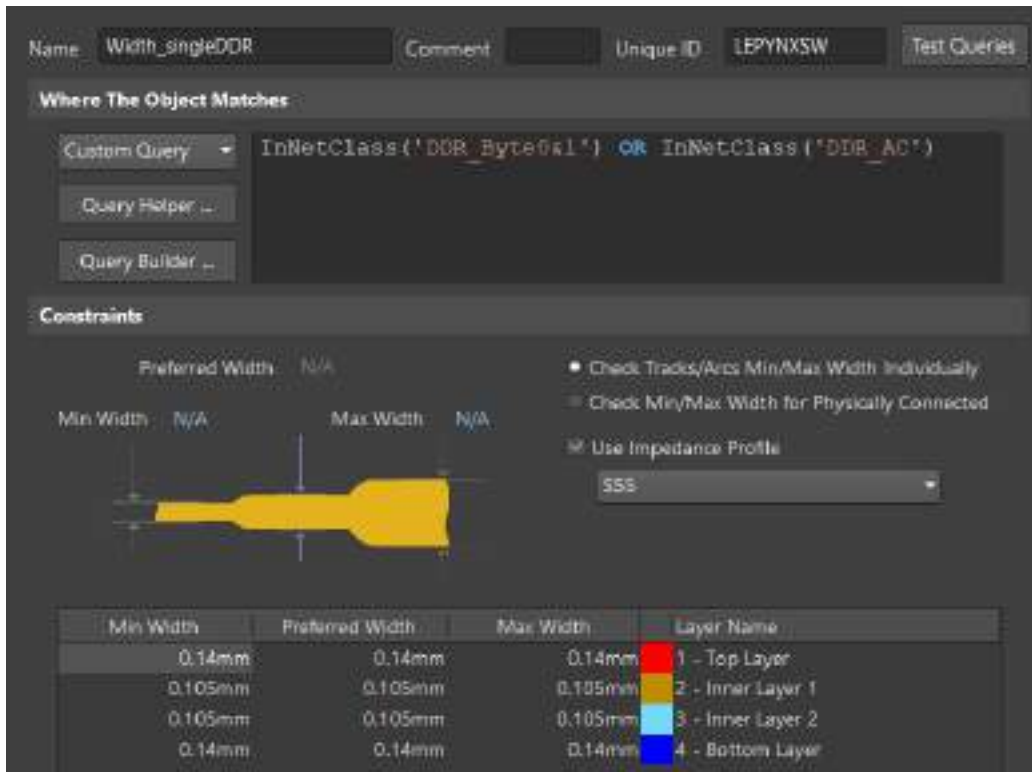


Рисунок 3.7 — Правила розведення одиночних доріжок

3.4.2 Ізоляція

Мінімальна відстань ізоляції повинна бути забезпечена навколо кожної лінії, щоб зменшити перехресні завади [15], що виникають у лінії зв'язку через наявність сигналу у сусідніх лініях передачі, глітччі [16] та джитери [17], спричинені сусідніми лініями.

Правило ізоляції S-3S виглядає наступним чином:

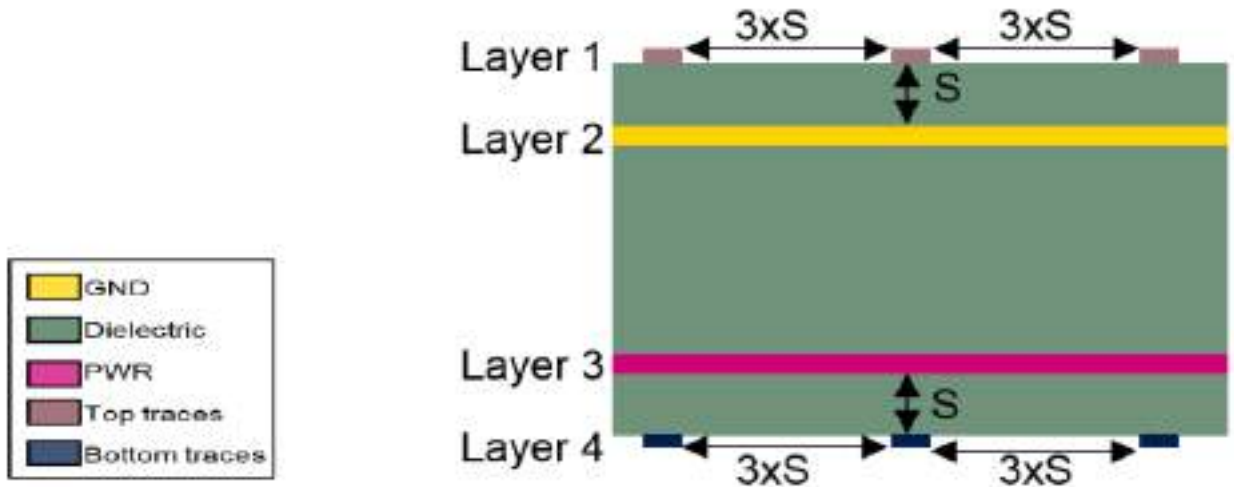


Рисунок 3.8 — Правило S-3S [18]

Якщо S є відстанню між трасою та її опорною площиною (площиною DGND на Inner layer 1 для трас верхнього рівня та площиною DGND на Inner layer 2 для трас нижнього шару), траса вважається ізольованою, якщо відстань між нею та сусідніми доріжками більше або дорівнює $3 \times S$.

Згідно обраного набору шарів на Рисунку 3.2, відстань S в нашому випадку буде дорівнювати 0.0994 мм. Таким чином, ізоляційна відстань між сусідніми доріжками $3S$ буде рівною 0.2982 мм (заокруглюємо до 0.298 мм).

Хочеться окремо зазначити, що правило S-3S не використовується під BGA (пам'ять та процесор) через обмеження розведення. У BGA будемо використовувати ізоляцію шириною 0.127 мм — мінімальна відстань між доріжкою і контактною площадкою різних сигналів згідно вимог JLCPCB.

Задання правил ізоляції в середовищі Altium Designer буде виглядати наступним чином:

					<i>PE-21мп.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		30

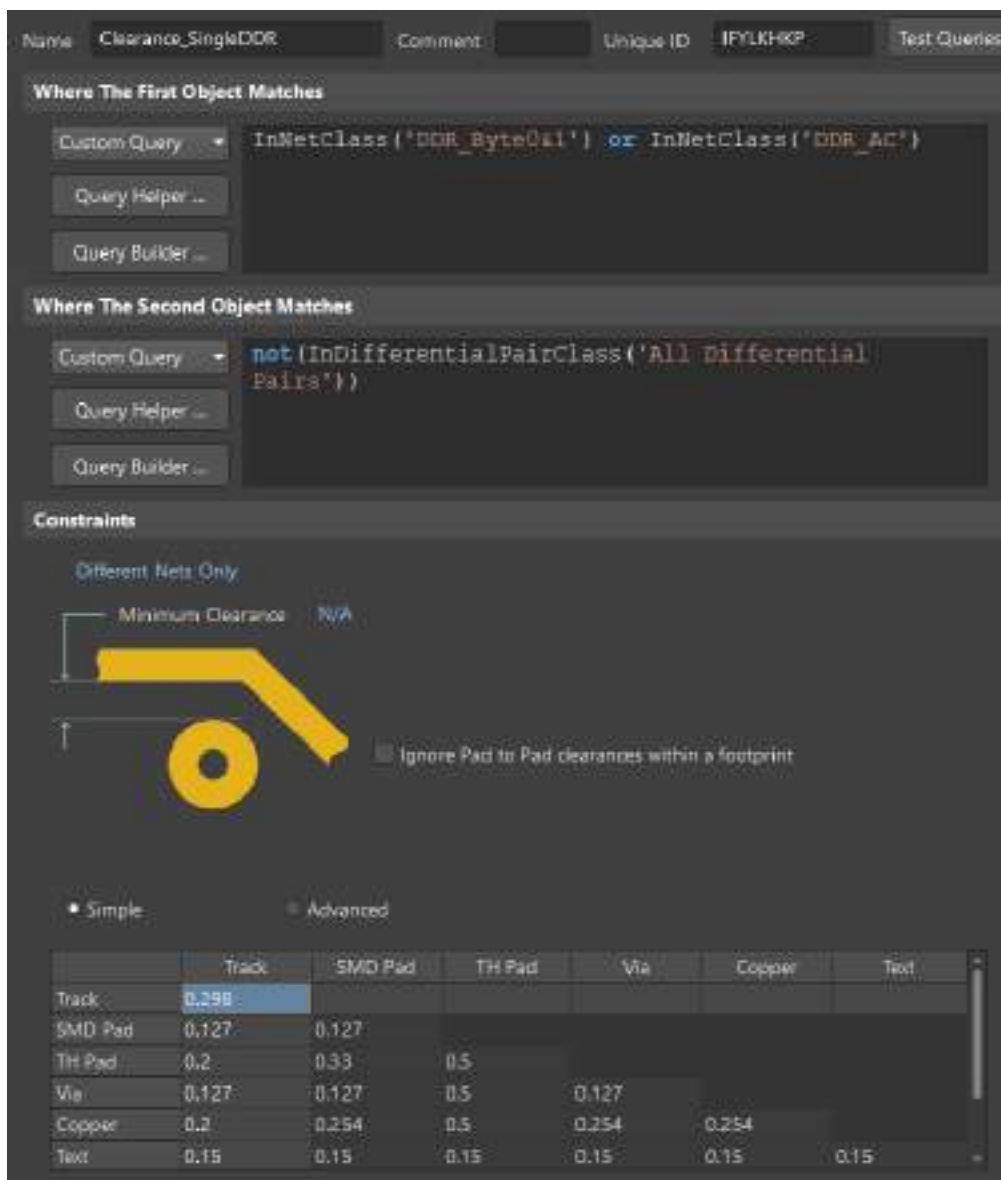


Рисунок 3.9 — Правила ізоляції доріжок з'єднання пам'яті та процесору

Сигнали в диференційній парі повинні розводитися якомога ближче один до одного, тому правило S-3S між ними не діє. Будемо використовувати розраховану автоматично відстань ізоляції для диференційної пари імпедансом 100 Ом, що дорівнює 0.127 мм (Рисунок 3.6).

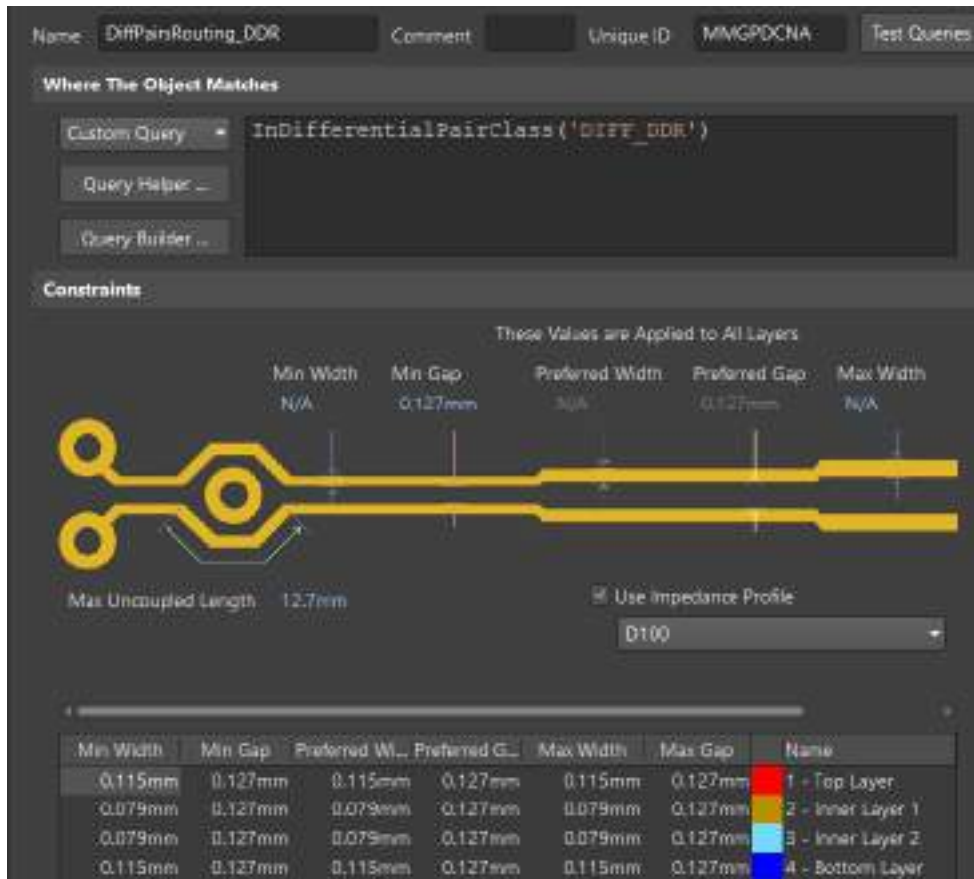


Рисунок 3.10 — Правила розведення диференційної пари

При заданні правил ізоляції під BGA використовується інструмент Rooms — обмеження території, на якій будуть працювати вказані правила. Територіями будуть площа під чіпом пам'яті та частина площі під чіпом процесору, до якої підключається пам'ять. Їм буде присвоєний такий набір правил ізоляції:

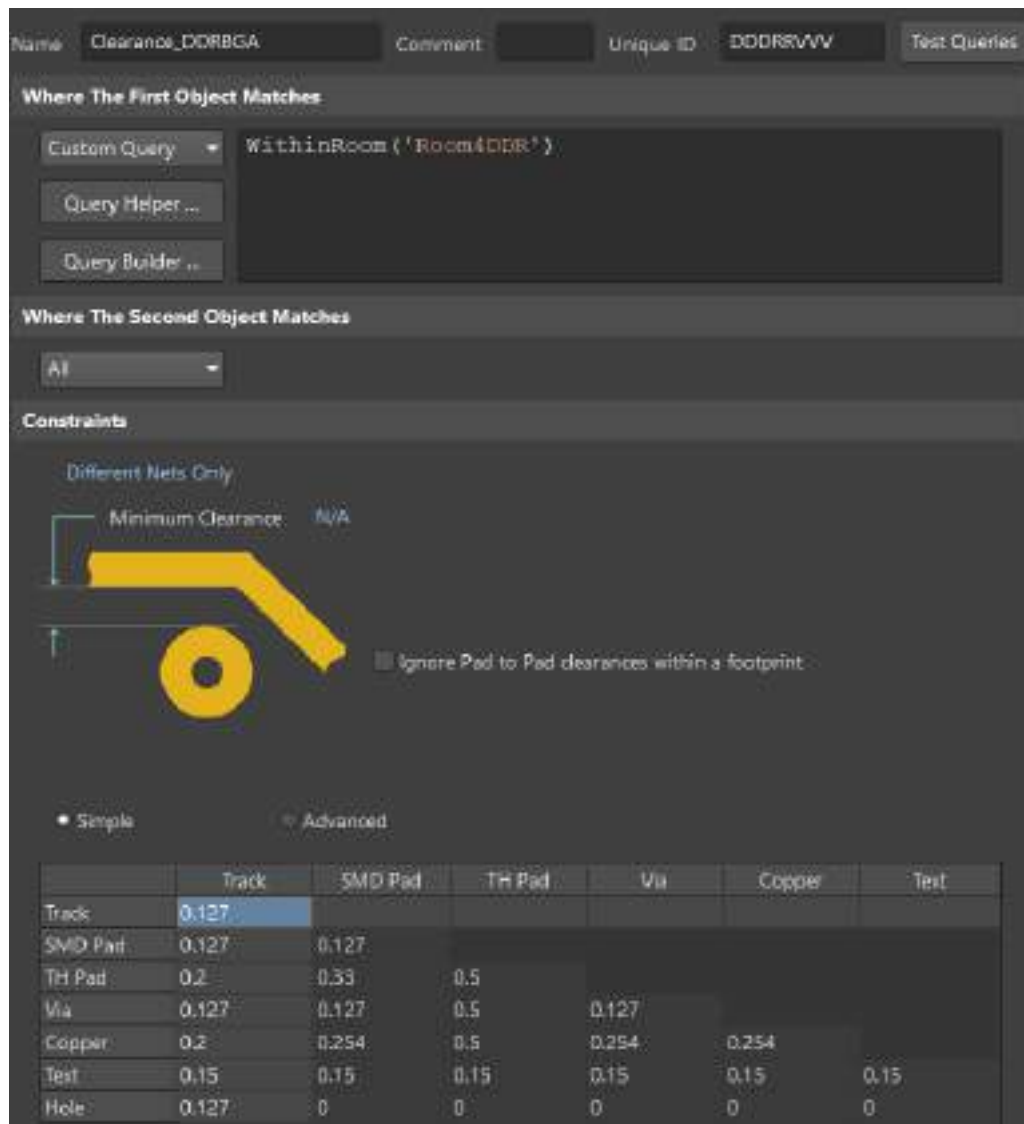


Рисунок 3.11 — Правила ізоляції під BGA

3.4.3 Вирівнювання довжини

Сигнали однієї групи повинні мати однакові часи встановлення і утримання при надходженні до свого пункту призначення. У зв'язку з цим може знадобитися вирівнювання довжин доріжок, щоб відповідати цим часовим обмеженням. Необхідно врахувати весь шлях сигналу: від пам'яті до процесору, включаючи простір під компонентами та внутрішні довжини корпусів. Правило S-3S також застосовується. Щодо диференційних пар, вирівнювання всередині пари недопустимо. При вирівнюванні довжини виробник процесору рекомендує використовувати паттерн типу Тромбон:

Зм.	Лист	№ докум.	Підпись	Дата

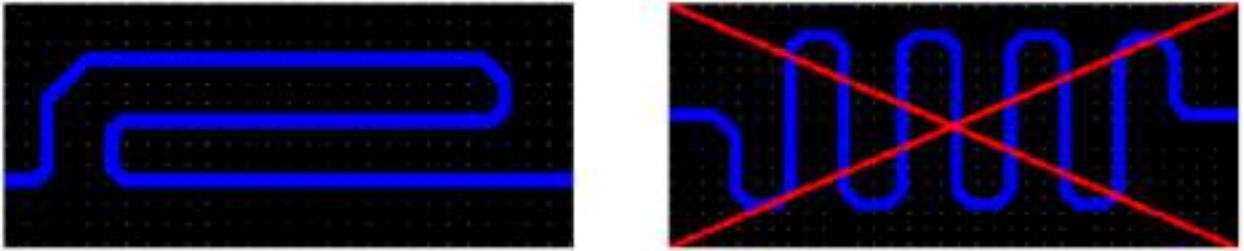


Рисунок 3.12 — Паттерни вирівнювання довжини Тромбон та Акордеон [18]

1. Правила трасування Data сигналів:

Даний клас сигналів рекомендовано розмістити на верхньому шарі металізації — Top layer.

- Сигнали в диференційній парі DQS0_N та DQS0_P повинні бути рівними між собою;
- Довжини сигналів DQ[0:7] та DQM0 повинні відрізнятися від сигналів диференційної пари DQS0_N/DQS0_P не більше ніж на ± 1.016 мм;
- Сигнали в диференційній парі DQS1_N та DQS1_P повинні бути рівними між собою;
- Довжини сигналів DQ[8:15] та DQM1 повинні відрізнятися від сигналів диференційної пари DQS1_N/DQS1_P не більше ніж на ± 1.016 мм;
- Довжини диференційних пар DQS0_N/DQS0_P та DQS1_N/DQS1_P повинні бути в межах від 0 до 14.986 мм коротші, ніж довжина диференційної пари CLK_N / CLK_P (CLK_N / CLK_P мають бути найдовшими доріжками).

2. Правила трасування A/C сигналів:

Даний клас сигналів рекомендовано розмістити на нижньому шарі металізації — Bottom layer. Однак так як CLK_N / CLK_P потребують термінації резистором, а плата є односторонньою, частина даної диференційної пари буде розміщена на Top layer.

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		34

- Довжини доріжок A[15:0], BA[2:0], RASN, CASN, WEN, CSN, СКЕ, ODT повинні відрізнятись від сигналів диференційної пари CLK_N/CLK_P не більше ніж на ± 1.016 мм;
 - Довжина CLK_N/CLK_P не повинна перевищувати 12 см;
3. ZQ сигнал:

Цей сигнал слід розміщувати так, щоб траса від контакту до опорного резистора була якомога коротшою.

4. Конденсатори зміни шарів:

Коли чутливий сигнал переміщується з верхнього шару плати на нижній (або навпаки), рекомендується розміщувати конденсатор ємністю 100 нФ якомога ближче до via. В рамках цінової оптимізації дані конденсатори використовуватися не будуть.

Таблиця 3.1 — Внутрішні довжини сигналів Data Byte 0 в корпусі STM32MP15XXAA [19]

	NET NAME	STM32MP15XXAA LENGTH (mm)
Byte 0	DQ0	6.69
	DQ1	6.23
	DQ2	5.71
	DQ3	6.41
	DQ4	5.66
	DQ5	5.31
	DQ6	6.78
	DQ7	4.96
	DQM0	6.05
	DQS0_P	6.84
	DQS0_N	6.01

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		35

Таблиця 3.2 — Внутрішні довжини сигналів Data Byte 1 в корпусі STM32MP15XXAA [19]

	NET NAME	STM32MP15XXAA LENGTH (mm)
Byte 1	DQ8	7.71
	DQ9	5.82
	DQ10	6.08
	DQ11	5.49
	DQ12	6.51
	DQ13	5.07
	DQ14	6.36
	DQ15	6.66
	DQM1	6.05
	DQS1_P	6.94
DQS1_N	6.96	

Таблиця 3.3 — Внутрішні довжини сигналів A/C в корпусі STM32MP15XXAA [19]

NET NAME	STM32MP15XXAA LENGTH (mm)
A0	4.64
A1	4.3
A2	4.58
A3	5.06
A4	6.21
A5	5.45
A6	7.12
A7	6.7

Таблиця 3.4 — Вирівнювання Data сигналів

	NET NAME	STM32MP 15XXAA LENGTH (mm)	Needed length Data (mm)	TOTAL LENGT H (mm)	DELTA WITH ((DQSn_P+D QSn_N)/2) MAX: +/- 1.016 mm	DELTA WITH ((CLK_P+ CLK_N)/2) : from -15 to 0 mm
Byte 0	DQ0	6.69	34.684	41.374	-1.016	
	DQ1	6.23	35.144	41.374	-1.016	
	DQ2	5.71	35.664	41.374	-1.016	
	DQ3	6.41	34.964	41.374	-1.016	
	DQ4	5.66	35.714	41.374	-1.016	
	DQ5	5.31	36.064	41.374	-1.016	
	DQ6	6.78	34.594	41.374	-1.016	
	DQ7	4.96	38.436	43.396	1.006	
	DQM0	6.05	37.341	43.391	1.001	
	DQS0_P	6.84	35.55	42.39		-2.582
	DQS0_N	6.01	36.38	42.39		
Byte 1	DQ8	7.71	33.664	41.374	-1.016	
	DQ9	5.82	35.554	41.374	-1.016	
	DQ10	6.08	35.294	41.374	-1.016	
	DQ11	5.49	35.884	41.374	-1.016	
	DQ12	6.51	34.864	41.374	-1.016	
	DQ13	5.07	36.304	41.374	-1.016	
	DQ14	6.36	35.014	41.374	-1.016	
	DQ15	6.66	34.714	41.374	-1.016	
	DQM1	6.05	35.324	41.374	-1.016	

Зм.	Лист	№ докум.	Підпись	Дата

PE-21мн.467444.001

Арк.

38

NET NAME	STM32MP 15XXAA LENGTH (mm)	Needed length Data (mm)	TOTAL LENGT H (mm)	DELTA WITH ((DQSn_P+D QSn_N)/2) MAX: +/- 1.016 mm	DELTA WITH ((CLK_P+ CLK_N)/2) : from -15 to 0 mm
DQS1_P	6.94	35.45	42.39		
DQS1_N	6.96	35.43	42.39		-2.582

Найдовшою доріжкою виявилася DQ7, далі — DQM0. Так як різниця між диференційною парою DQS0_N/DQS0_P даних двох доріжок повинна бути не більше ніж ± 1.016 мм, від довжини DQ7 було віднято значення 1.006 мм щоб отримати задовільне значення доріжок диференційних пар DQS0_N/DQS0_P та DQS1_N/DQS1_P. Аби отримати мінімальні задовільні значення всіх інших Data сигналів, від довжини диференційних пар було віднято граничне значення 1.016 мм та значення довжини доріжки всередині корпусу для кожного сигналу окремо (STM32MP15XXAA LENGTH (mm)). Таким чином ми вирівняли всі доріжки по мінімально можливій довжині у 41.374 мм, окрім DQ7 та DQM0.

$$\text{Needed length Data (mm)} = \frac{\text{DQS_P} + \text{DQS_N (mm)}}{2} - 1.016 \text{ mm} - \text{STM32MP15XXAA LENGTH (mm)} \quad (3.1)$$

У формулі 3.1:

- Needed length Data (mm) — довжина доріжки, яка повинна бути розведена вручну;
- DQS_P та DQS_N (mm) — диференційна пара тієї групи Byte, до якої належить доріжка;

										Арк.
										39
Зм.	Лист	№ докум.	Підпись	Дата						

- STM32MP15XXAA LENGTH (mm) — довжина доріжки всередині корпусу.

Отримані значення необхідних для розведення довжин сигналів Data можна побачити у Таблиці 3.4 (Needed length Data (mm)).

Таблиця 3.5 — Вирівнювання А/С сигналів

NET NAME	STM32MP15XXAA LENGTH (mm)	Needed length A/C (mm)	TOTAL LENGTH (mm)	DELTA WITH ((CLK_P+CLK_N)/2): from -1.016 to 0 mm
A0	4.64	39.316	43.956	-1.016
A1	4.3	39.656	43.956	-1.016
A2	4.58	39.376	43.956	-1.016
A3	5.06	38.896	43.956	-1.016
A4	6.21	37.746	43.956	-1.016
A5	5.45	38.506	43.956	-1.016
A6	7.12	36.836	43.956	-1.016
A7	6.7	37.256	43.956	-1.016
A8	6.88	37.076	43.956	-1.016
A9	4.11	39.846	43.956	-1.016
A10	3.44	40.516	43.956	-1.016
A11	4.83	39.126	43.956	-1.016
A12	4.01	39.946	43.956	-1.016
A13	6.17	37.786	43.956	-1.016
A14	4.44	39.516	43.956	-1.016
A15	4.1	39.856	43.956	-1.016
BA0	5.56	38.396	43.956	-1.016
BA1	4.87	39.086	43.956	-1.016
BA2	5.47	38.486	43.956	-1.016

					<i>PE-21mn.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		40

NET NAME	STM32MP15XXAA LENGTH (mm)	Needed length A/C (mm)	TOTAL LENGTH (mm)	DELTA WITH ((CLK_P+CLK_N)/2): from -1.016 to 0 mm
CASN	7.48	36.476	43.956	-1.016
CKE	5.79	38.166	43.956	-1.016
CLK_N	6.02	38.952	44.972	
CLK_P	5.38	39.592	44.972	
CSN	3.84	40.116	43.956	-1.016
ODT	5.5	38.456	43.956	-1.016
RASN	4.55	39.406	43.956	-1.016
WEN	5.6	38.356	43.956	-1.016

При вирівнюванні А/С сигналів найдовшу довжину має диференційна пара CLK_N/CLK_P. Різниця довжини між даною диференційною парою та парами DQS0_N/DQS0_P та DQS1_N/DQS1_P складає -2.582 мм (Таблиця 3.4), що задовольняє правилам. Довжини всіх А/С розраховувалися як різниця довжини CLK_N/CLK_P та граничного значення 1.016 і значення довжини доріжки всередині корпусу для кожного сигналу окремо.

$$\text{Needed length A/C (mm)} = \frac{\text{CLK}_N + \text{CLK}_P (\text{mm})}{2} - 1.016 \text{mm} - \text{STM32MP15XXAA LENGTH (mm)} \quad (3.2)$$

У формулі 3.2:

- Needed length A/C (mm) — довжина доріжки, яка повинна бути розведена вручну;
- CLK_N та CLK_P (mm) — диференційна пара всіх А/С ліній;
- STM32MP15XXAA LENGTH (mm) — довжина доріжки всередині корпусу.

					<i>PE-21mn.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		41

Отримані значення довжин сигналів А/С можна побачити у Таблиці 3.5.

Всі отримані значення були внесені в середовище розробки Altium Designer як окремі правила для кожної з доріжок. Приклад можна побачити на Рисунок 3.17.

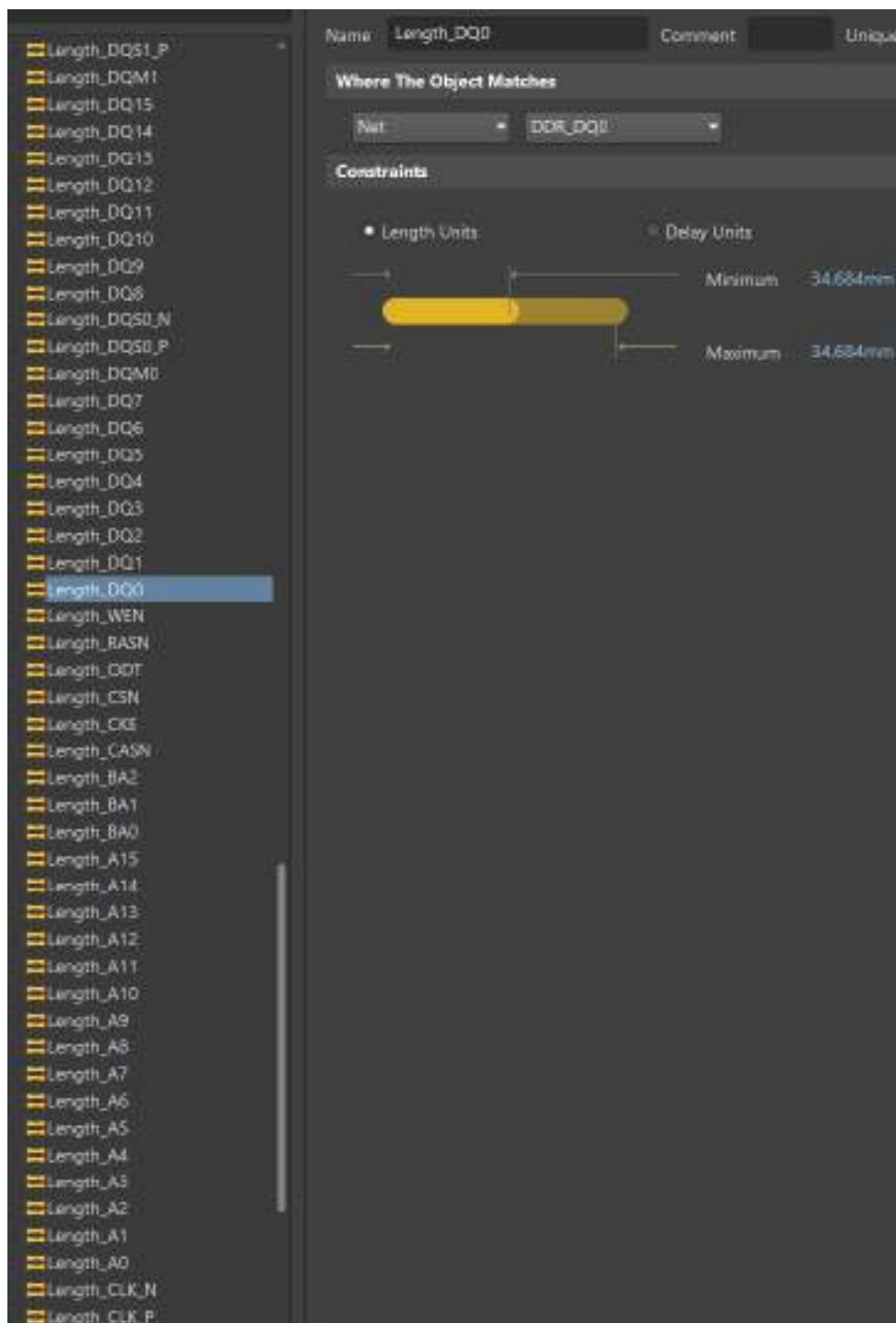


Рисунок 3.13 — Задання обмежень по довжині сигналу DQ0

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		42

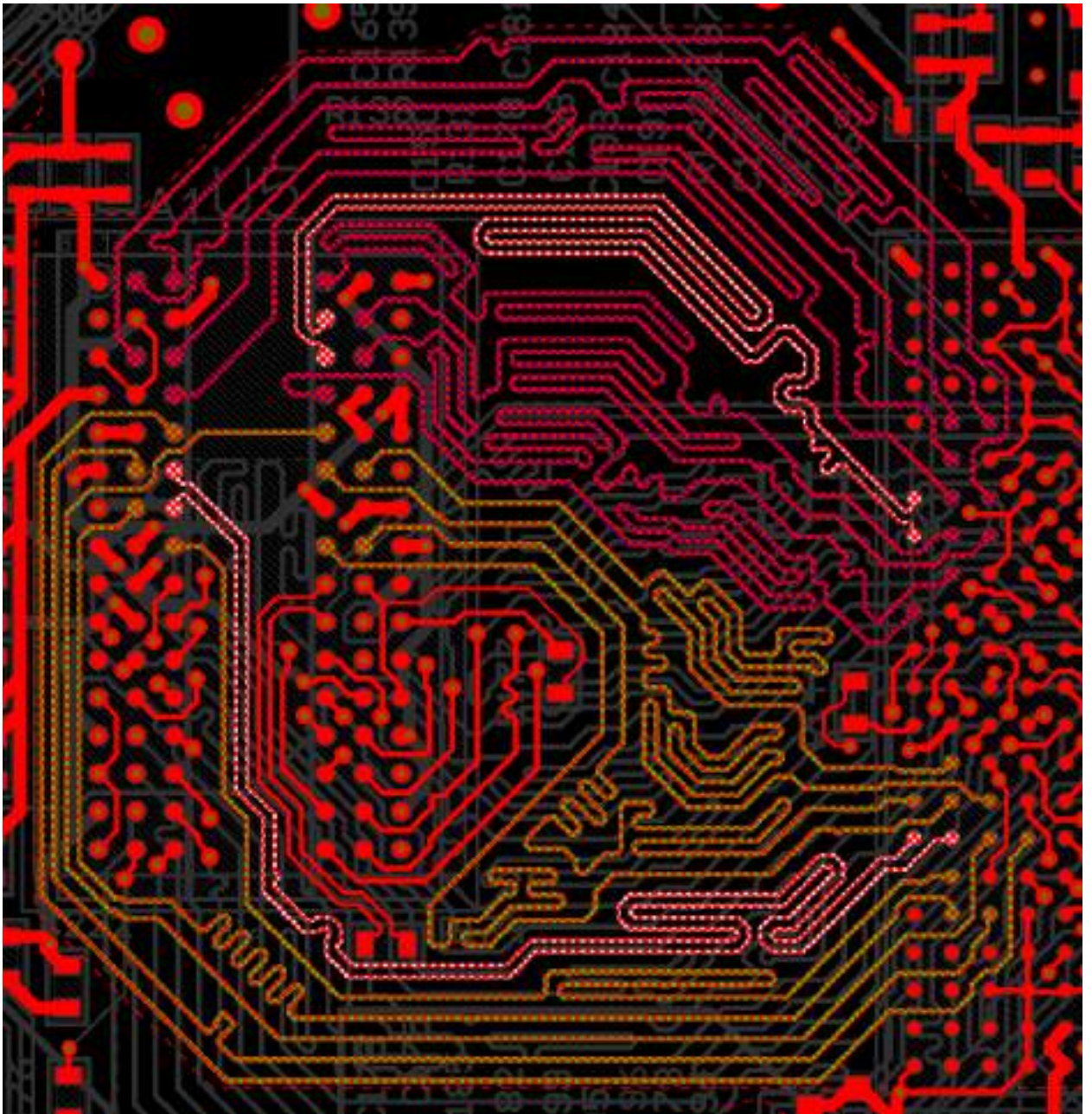


Рисунок 3.14 — Підключення сигналів Data на Top layer

На Рисунку 3.14 наведено підключення сигналів класу Data згідно всіх перелічених у розділі вимог та розрахунків. Зеленим виділені сигнали групи Byte 0, синім — Byte 1. Білим виділено диференційні пари DQS0_N/DQS0_P та DQS1_N/DQS1_P.

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		43

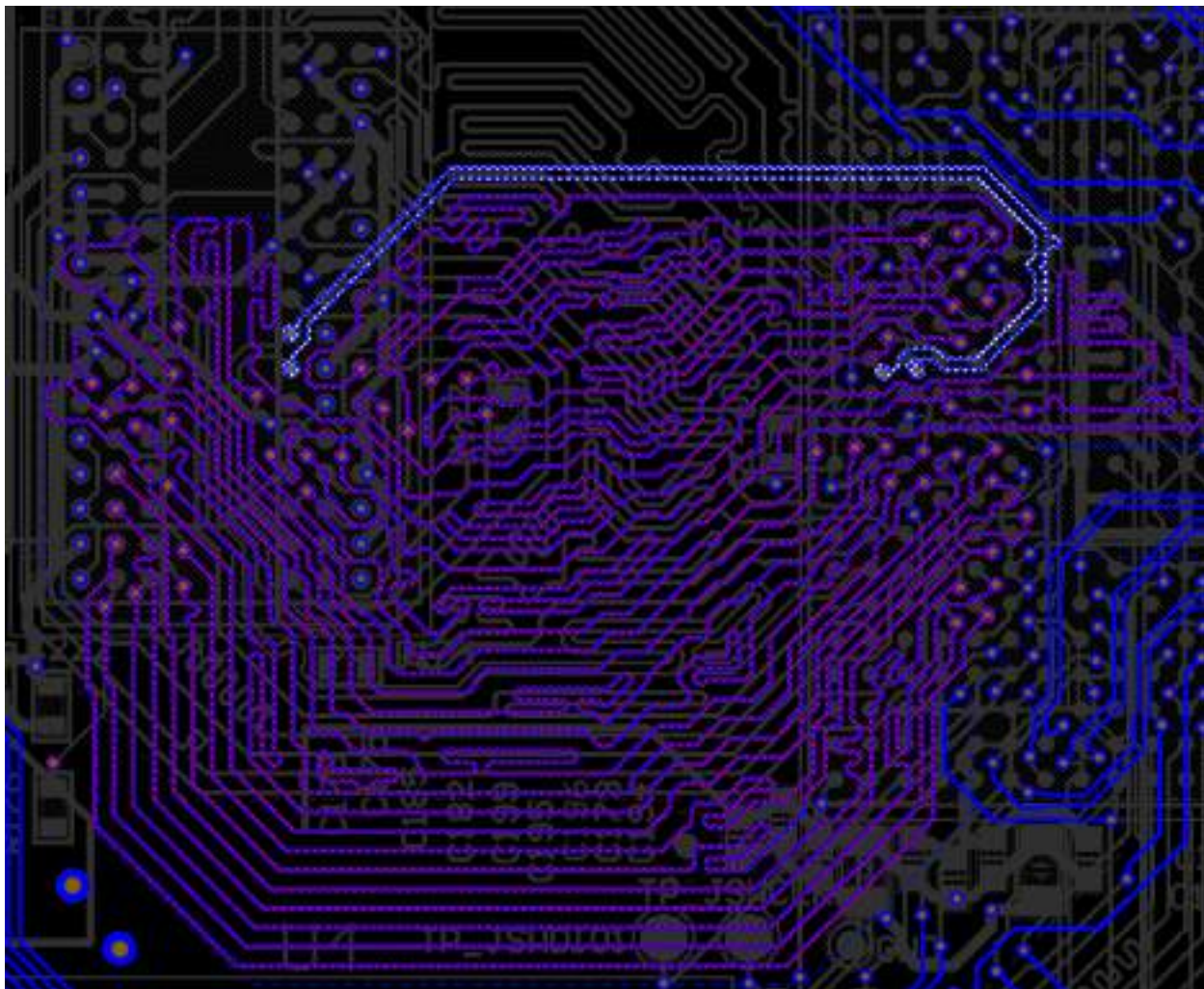


Рисунок 3.15 — Підключення сигналів А/С на Bottom layer

На Рисунку 3.15 наведено підключення сигналів класу А/С згідно всіх перелічених у розділі вимог та розрахунків. Всі сигнали даної групи виділені рожевим за виключенням диференційної пари CLK_N/CLK_P, що виділена білим.

					<i>PE-21mn.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		44

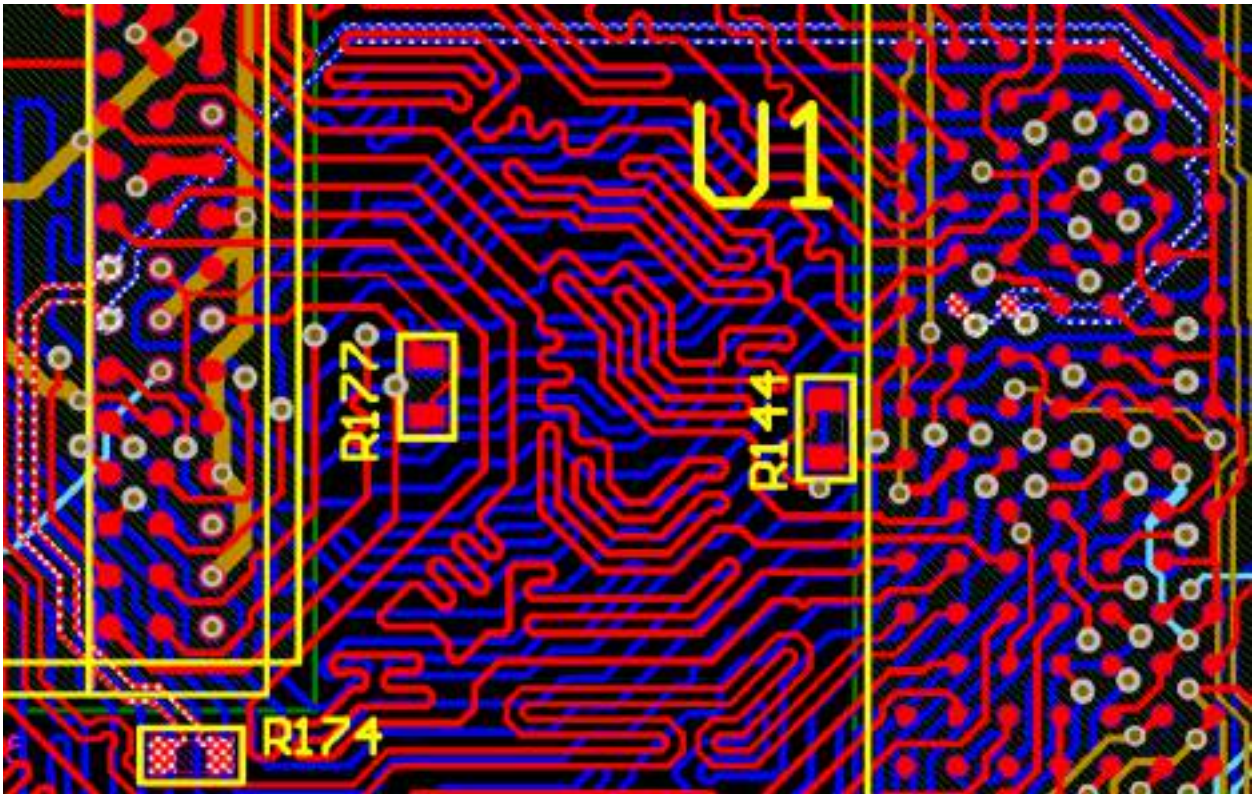


Рисунок 3.16 — Диференційна пара CLK_N/CLK_P

На Рисунку 3.16 наведено розведення диференційної пари CLK_N/CLK_P. Синьо-білим виділена частина ліній, що з'єднує пам'ять з процесором. Червоно-білим виділені частини ліній, що були розведені на Top layer заради термінації резистором R174.



Рисунок 3.17 — Розведення лінії ZQ

На Рисунку 3.17 показано розведення лінії ZQ згідно вимоги мінімальної довжини. Загальна довжина даної лінії складає 1.343 мм.

Зм.	Лист	№ докум.	Підпись	Дата

3.4.4 Живлення

Пам'ять DDR3L на платі має окреме живлення в 1.35 В під назвою VDD_DDR, яке розведене за допомогою полігону. Полігон пролягає на другому прихованому шарі Inner layer 2 та охоплює пам'ять, частину процесору до якої підключається пам'ять та частину схеми, що генерує дане живлення.



Рисунок 3.18 — Полігон VDD_DDR

На Рисунку 3.18 показаний полігон живлення в 1.35 В, де U5 — пам'ять MICRON MT41K256M16TW-107 AUT:P, а U1 — процесор STM32MP157CAA3. Живлення відбувається за рахунок підключення до полігону через via. Сам полігон підключений до живлення також через via.

Зм.	Лист	№ докум.	Підпись	Дата

3.5 eMMC Flash

В якості пам'яті eMMC була вибрана пам'ять IS21ES08GA-JQLI-TR на 8Гб. Габаритні розміри даної пам'яті можна побачити на Рисунку 3.19.

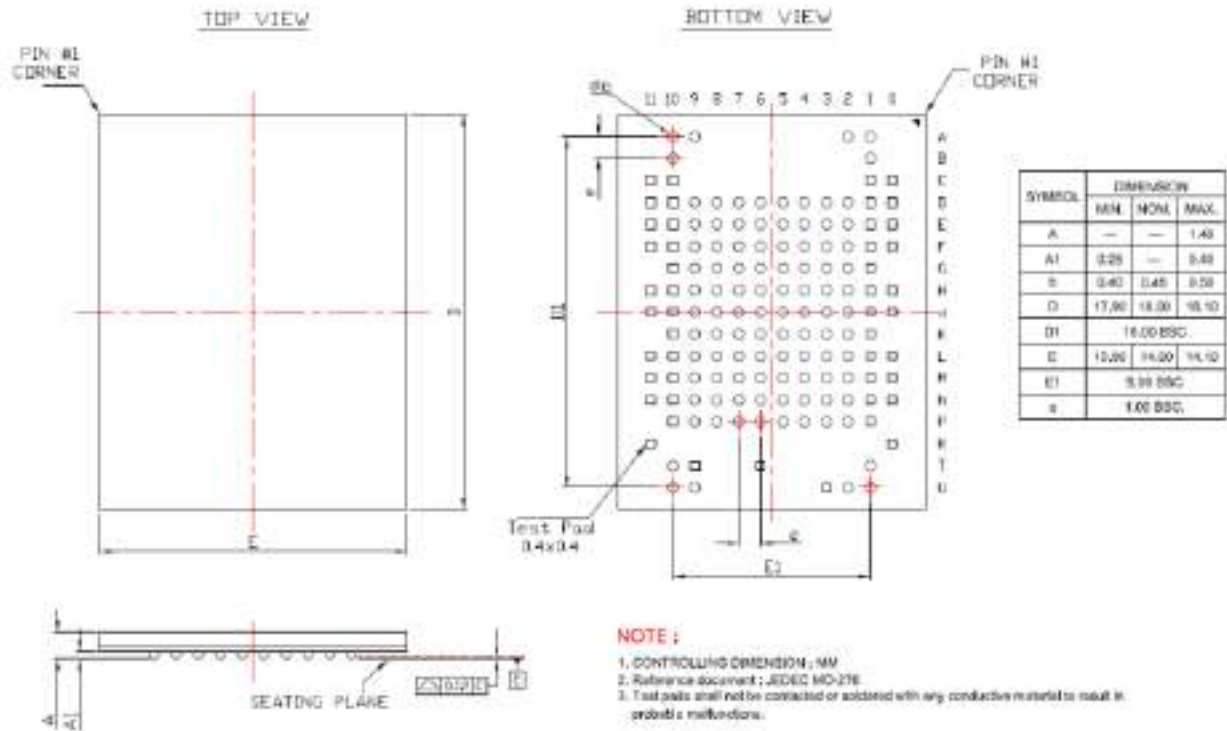


Рисунок 3.19 — Габаритні розміри eMMC IS21ES08GA-JQLI-TR [20]

Підключення даної пам'яті відбувається за рахунок 100 контактних площадок на нижній стороні корпусу. Ця мікросхема не потребує окремого виду живлення і може бути підключена до загального живлення плати VDD розміром у 3.3 В. Трасування з імпедансом також не потрібне.

Перелічимо сигнали, що потрібно підключити:

- eMMC_SDIO2_D[0..7] — шина передачі даних;
- eMMC_RSTn;
- eMMC_SDIO2_CK;
- eMMC_SDIO2_CMD.

З усіх перелічених сигналів, вимоги по трасуванню є лише до сигналів шини даних. Різниця між довжинами доріжок даної групи

Зм.	Лист	№ докум.	Підпись	Дата

повинна не перевищувати 1.78 мм. Розрахунок як з DDR3L в даному випадку не потрібен.

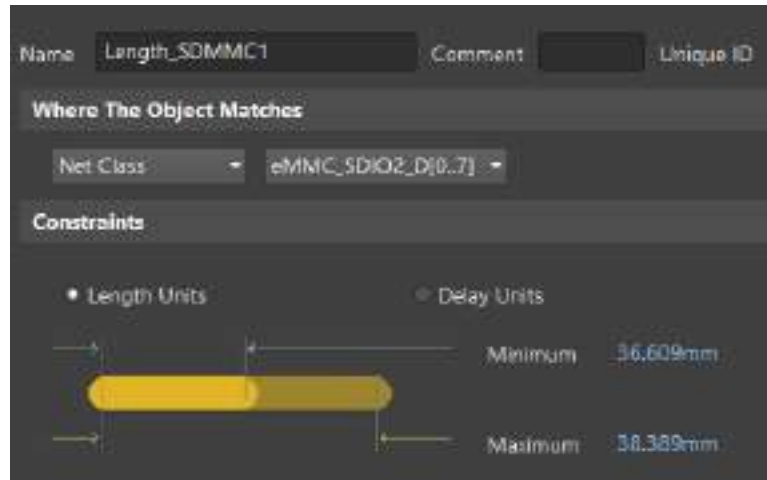


Рисунок 3.20 — Правило вирівнювання шини даних eMMC в Altium Designer

Після проведення вирівнювання був отриманий результат, який можна побачити на Рисунку 3.21 під назвою Routed Length:

* Name	Node ...	Si...	To...	Routed Length
eMMC_SDIO2_D0	3	n/a	0	37.261
eMMC_SDIO2_D1	2	37.0		37.115
eMMC_SDIO2_D2	2	37.0		37.499
eMMC_SDIO2_D3	2	37.0		37.672
eMMC_SDIO2_D4	2	37.0		37.499
eMMC_SDIO2_D5	2	37.0		37.395
eMMC_SDIO2_D6	2	37.0		37.928
eMMC_SDIO2_D7	2	37.0		37.342

Рисунок 3.21 — Довжини доріжок шини даних eMMC

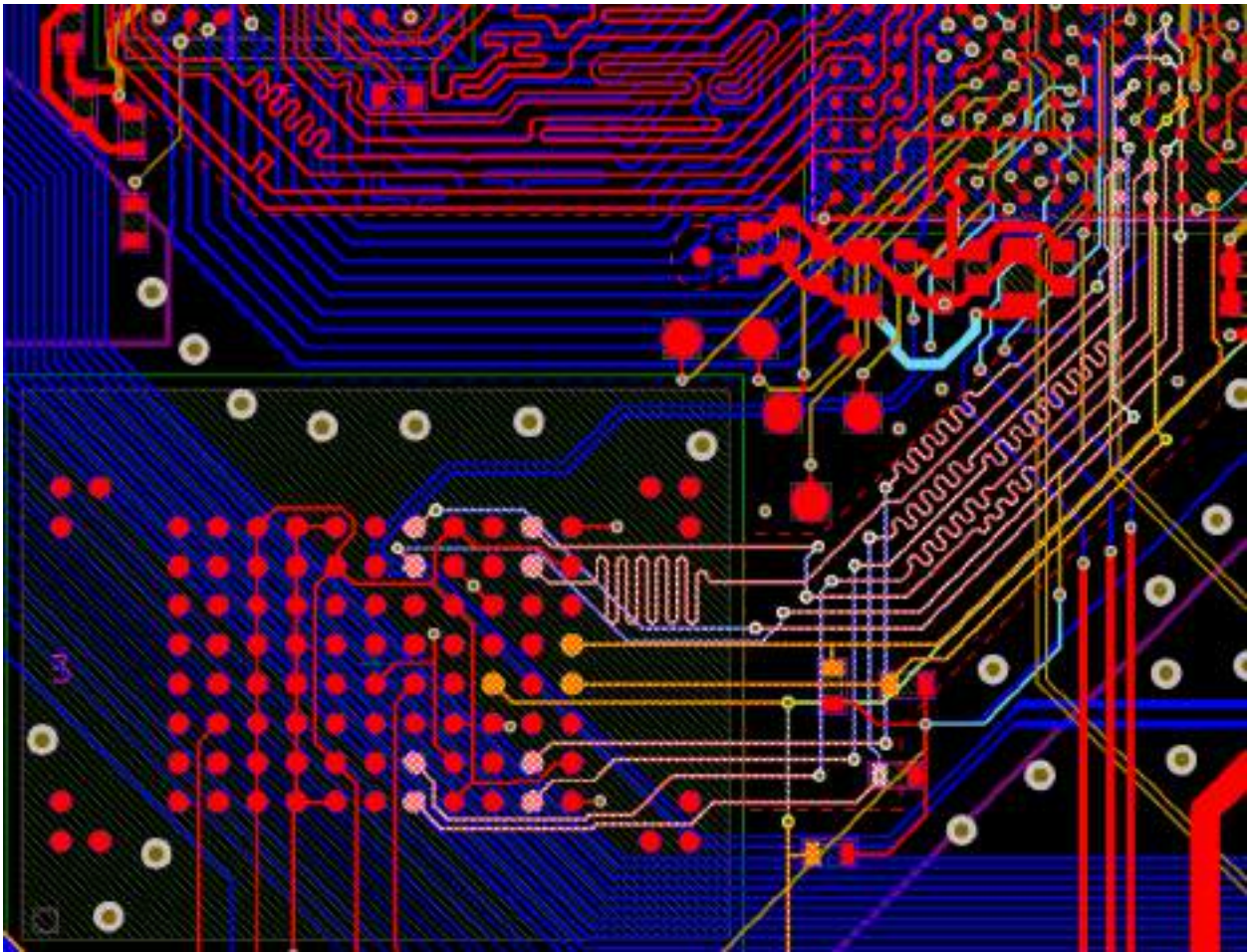


Рисунок 3.22 — Підключення сигналів eMMC Flash

На Рисунок 3.22 наведено підключені сигнали eMMC Flash. Білим виділено шину даних eMMC_SDIO2_D[0..7], а жовтим — eMMC_RSTn, eMMC_SDIO2_CK, eMMC_SDIO2_CMD.

3.6 Display serial interface

Підключення DSI полягає у розведенні трьох диференційних пар від процесору до роз'єму підключення екрану, які потребують трасування з імпедансом та вирівнювання довжини. Перелічимо дані сигнали:

- DSI_CK_P та DSI_CK_N;
- DSI_D0_P та DSI_D0_N;
- DSI_D1_P та DSI_D1_N.

Перелічимо правила трасування даної групи доріжок:

1. Імпеданс диференційної пари має складати 100 Ом.

Зм.	Лист	№ докум.	Підпись	Дата

2. Різниця довжин всередині диференційної пари має бути не більше ± 0.127 мм зі включенням у розрахунок довжин всередині корпусу. Бажано, аби дана різниця була рівна нулю, що ми і зробимо.
3. Різниця довжин між диференційними парами повинна бути не більше ± 5.08 мм.
4. Максимальна довжина лінії, включаючи довжину шлейфу екрану та внутрішню довжину в корпусі, повинна складати не більше 203 мм.
5. Максимальна кількість via на лінію — 2.
6. Правило ізоляції S-3S застосовується між диференційними парами та до кожного іншого сигналу. Під BGA допускається використання ізоляції в 1S.

Pin name	TFBGA257		LFBGA354		TFBGA361		LFBGA448	
	(10 x 10 pitch 0.5 mm)		(16 x 16 pitch 0.8 mm)		(12 x 12 pitch 0.5 mm)		(18 x 18 pitch 0.8 mm)	
	Ball position	Length difference	Ball position	Length difference	Ball position	Length difference	Ball position	Length difference
DSI_CKN	B12	-505 μm	A14	822 μm	A16	490 μm	A16	867 μm
DSI_CKP	A12		B14		B16			
DSI_D0N	C12	-736 μm	A13	781 μm	B15	514 μm	A15	791 μm
DSI_D0P	B11		B13		C15		B15	
DSI_D1N	B13	-507 μm	A15	804 μm	A17	505 μm	A17	785 μm
DSI_D1P	A13		B15		B17		B17	

Рисунок 3.23 — Значення вирівнювання довжин в корпусі для DSI [10]

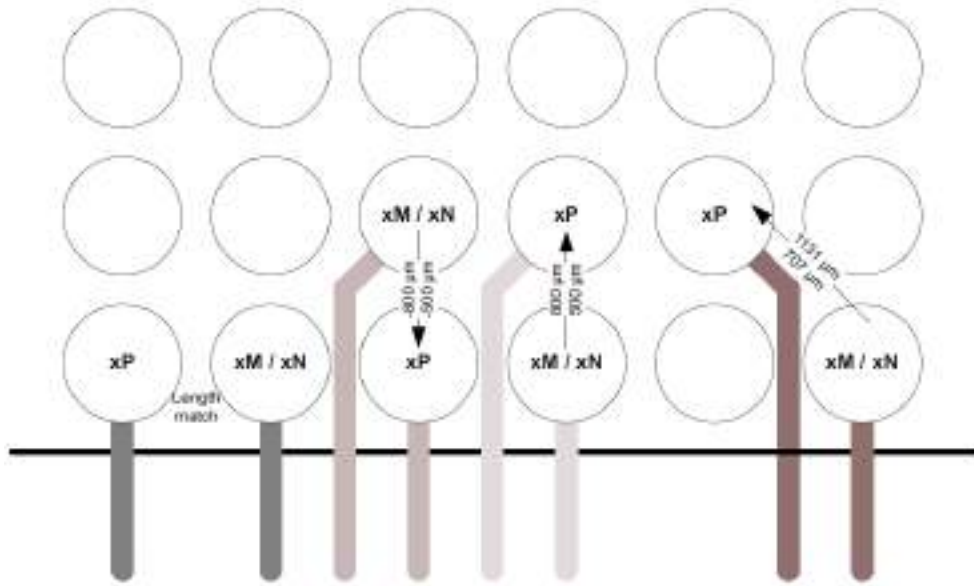


Рисунок 3.24 — Приклад трасування DSI для корпусу з кроком кульки 0.8 мм [10]

З Рисунок 3.23 нас цікавить корпус LFBGA448 та значення всередині даного корпусу. На Рисунок 3.24 наведений ілюстративний приклад реалізації значень з Рисунок 3.23. Таким чином, можна зробити висновок, що доріжка DSI_CK_N буде довша за доріжку DSI_CK_P на 867 мкм. З цього виходить, що доріжка DSI_CK_P має бути розведена довшою на дане значення, аби різниця довжин всередині диференційної пари стала рівна нулю. Аналогічно і з іншими диференційними парами.

Довжина шлейфу складає 63.95 мм (Додаток А). Таким чином, довжина лінії не повинна перевищувати 139.05 мм.

Як вже було визначено в розділі 3.4 DDR3L, ширина доріжки диференційної пари на шарах Top та Bottom буде складати 0.115 мм. Розведення даної групи доріжок буде відбуватися на Bottom layer. Кожна доріжка буде містити 2 via: перший під процесором при переході на Bottom layer, другий біля конектору екрану при переході на Top layer.

					<i>PE-21mn.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		51

Таблиця 3.6 — Вирівнювання довжини DSI

Net name	Ball position	DSI package length matching values	Signal length	Total length	Length matching within a pair	Average within a pair	Length matching between pairs
DSI_CKN	A16	0.867	77.709	78.576	0		
DSI_CKP	B16	0	78.584	78.576	0	78.576	
DSI_D0N	A15	0.791	79.625	80.416	0		
DSI_D0P	B15	0	80.416	80.416	0	80.416	3.036
DSI_D1N	A17	0.785	80.827	81.612	0		
DSI_D1P	B17	0	81.612	81.612	0	81.612	

Принцип вирівнювання досить простий: розводимо всі диференційні пари згідно вимог ізоляції і вносимо дані в стовпець таблиці 3.6 під назвою Signal length. Додаємо до даного стовпця значення з DSI package length matching values і найбільше значення всередині кожної пари вносимо у стовпець Total length. Це буде довжина вирівнювання. Таким чином, всередині диференційних пар DSI_D вирівнювання буде відбуватися по доріжкам P, а всередині DSI_CK по доріжці N.

Як можна бачити з Таблиці 3.6 стовпця Length matching between pairs, різниця довжин між найдовшою та найкоротшою диференційними парами складає 3.036 мм, що входить у діапазон ± 5.08 мм.

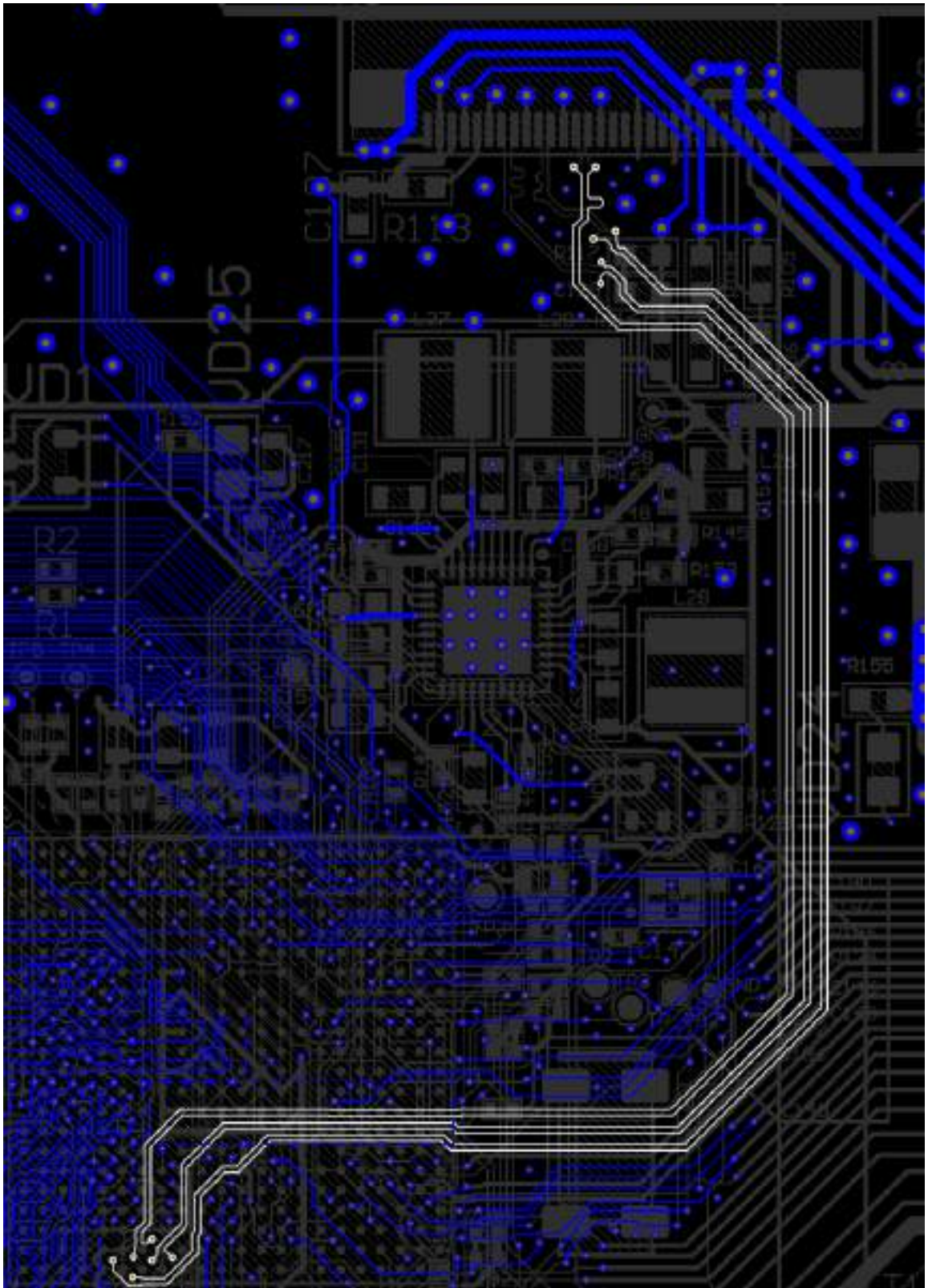


Рисунок 3.25 — Розведення DSI ліній на шарі Bottom

Зм.	Лист	№ докум.	Підпись	Дата

PE-21мп.467444.001

Арк.

53

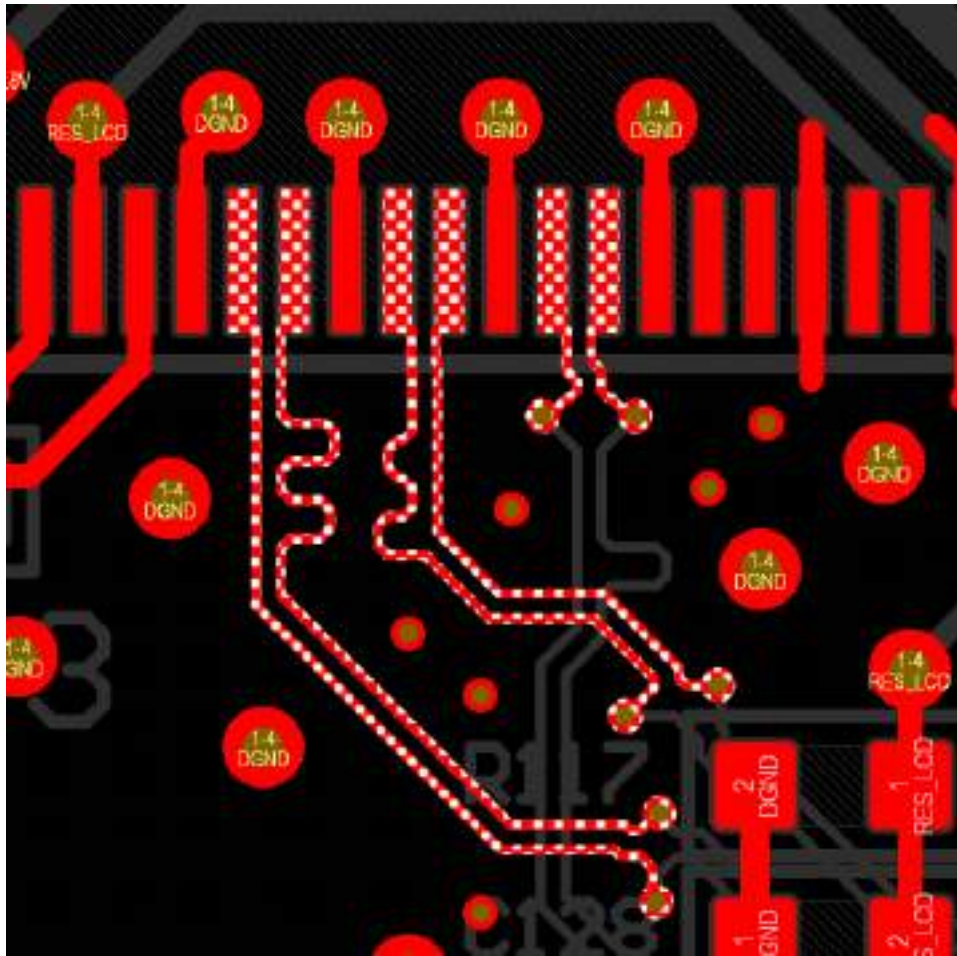


Рисунок 3.26 — Розведення DSI ліній на шарі Top
DSI лінії на Рисунках 3.25 та 3.26 виділені білим кольором.

Хочеться окремо наголосити, що в даній роботі окрім того, що було висвітлено, була виконана ще велика частина роботи: розведення USB та LAN, що також потребують вирівнювання довжини та трасування з імпедансом; розведення полігонів живлення процесору від мікросхеми PMIC; розрахунок резистору підсвітки дисплею; розведення сигналів головного шлейфу, який забезпечує зв'язок між силовою платою приладу та контролером, і багато всього іншого.

Нажаль, через обмеження у вигляді комерційної таємниці, креслення навіть до висвітленої частини надані не будуть.

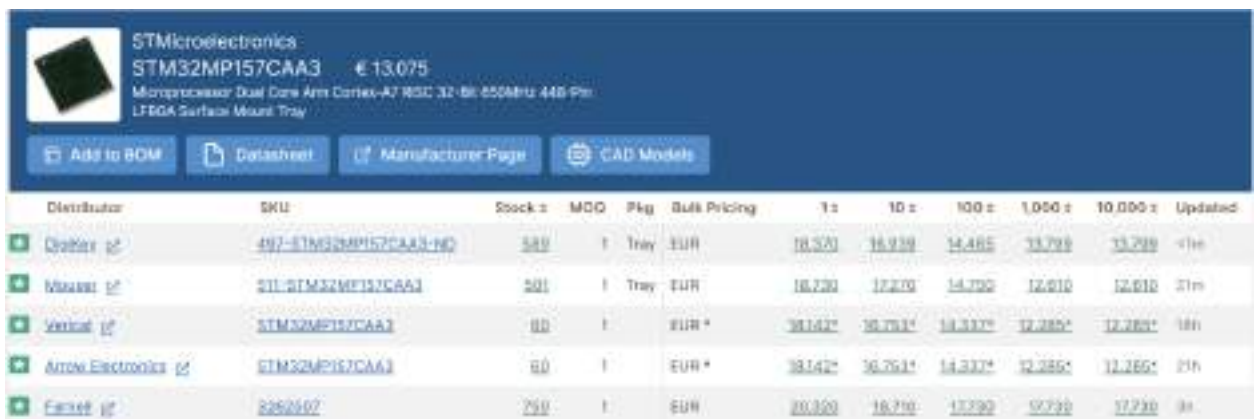
					<i>PE-21мп.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		54

4 ЦІНОВА ОПТИМІЗАЦІЯ

Як було показано у розділі «Огляд аналогів ринку», ціна на процесор QSMP-1570, аналог якого був розроблений в даній роботі, складає 65.63 євро при тому, що компонент все ще відсутній в наявності [21]. Найкоштовнішими компонентами в даній розробці є процесор STM32MP157CAA3, пам'ять DDR3L MT41K256M16TW-107 AUT:P та пам'ять eMMC IS21ES08GA-JQLI-TR.

4.1 STM32MP157CAA3

Найнижча ціна на даний процесор за 1000 штук серед наявних варіантів на ринку складає 12.285 євро за штуку у постачальників Vertical та Arrow Electronics:



Distributor	SKU	Stock	MCO	Pkg	Bulk Pricing	1	10	100	1,000	10,000	Updated
Dobler	497-STM32MP157CAA3-ND	589	1	Tray	EUR	18.520	18.939	14.485	13.799	13.799	<1h
Mouser	211-STM32MP157CAA3	201	1	Tray	EUR	18.739	17.209	14.790	12.610	12.610	31m
Vertical	STM32MP157CAA3	80	1		EUR*	38.142*	36.761*	14.337*	12.285*	12.285*	18h
Arrow Electronics	STM32MP157CAA3	80	1		EUR*	38.142*	36.761*	14.337*	12.285*	12.285*	21h
Farnell	8282502	750	1		EUR	20.350	18.710	17.790	12.730	12.730	3h

Рисунок 4.1 — Ціни на STM32MP157CAA3 [22]

Також можна ознайомитися з динамікою доступності даного компоненту на ринку від сайту Ostopart:



Рисунок 4.2 — Графік запасів STM32MP157CAA3 на ринку [23]

Наведений на Рисунку 4.2 графік ілюструє кількість доступних для купівлі процесорів на ринку за останній рік. Можна побачити, що з січня по грудень ця кількість збільшилася на 59.32 %, що є для нас позитивним показником враховуючи головну причину існування даної розробки: відсутність QSMP-1570 на ринку.

4.2 DDR3L MT41K256M16TW-107 AUT:P

Найнижча ціна на дану пам'ять за 1000 штук серед наявних варіантів на ринку складає 6.26 євро за штуку у постачальника Mouser:

Micron		MT41K256M16TW-107 AUT:P TR		€ 6.111						
		MICMT41K256M16TW-107 AUT:P TR								
Distributor	SKU	Stock #	MOQ	Pkg	Bulk Pricing	1+	10+	100+	1,000+	10,000+
Mouser	340-206812-REEL	2,454	1	Tape & Reel	EUR	0.720*	0.540*	0.300*	0.260*	0.010*
Avnet	MT41K256M16TW-107 AUT:P TR	0	2K		EUR *					0.852*
Digi-Key	MT41K256M16TW-107 AUT:P TR	50			EUR *	0.280*	0.280*	0.280*	0.280*	0.280*
Newark Technology	MT41K256M16TW-107 AUT:P TR	0.213			EUR *	10.820*	10.202*	9.710*	9.649*	9.649*

Рисунок 4.3 — Ціни на MT41K256M16TW-107 AUT:P [24]

										Арк.
										56
Зм.	Лист	№ докум.	Підпись	Дата						

PE-21мн.467444.001

Динаміка доступності даного компоненту на ринку від Octopart за останній рік:



Рисунок 4.4 — Графік запасів MT41K256M16TW-107 AUT:P [25]

Як можна побачити з Рисунку 4.4, графік доступності даного компоненту на ринку є від’ємним і складає -48.73%. Цей показник не є критичним, так як пам’ять на відміну від процесору STM32MP157CAA3 може бути замінена на будь-яку іншу в тому самому корпусі, кількістю контактних площадок та конфігурацією без необхідності змін в РСВ-дизайні.

4.3 eMMC IS21ES08GA-JQLI-TR

Найнижча ціна на дану пам’ять за 1000 штук серед наявних варіантів на ринку складає 5.85 євро за штуку у постачальника Mouser:

The screenshot shows the product page for IS21ES08GA-JQLI-TR on the Mouser website. The product is an 8Gb, 100 Ball BGA, 3.2V, 8cm, T&R (Integrated Silicon Solution) (isi) component. The price is listed as € 5.729. Below the product information, there is a table of distributors and their prices.

Distributor	SKU	Stock	MOQ	Pkg	Bulk Pricing	1	10	100	1,000	10,000
DigiKey	706-IS21ES08GA-JQLI-TRCT-ND	1855	1	Cut Tape	EUR	8.000	7.159	6.443	5.342	5.942
Mouser	870-IS21ES08GA-JQLI	950	1	Tape & Reel	EUR	8.150	7.530	6.520	5.850	5.850
Avnet	IS21ES08GA-JQLI-TR	3	1K		EUR*				5.729*	5.809*

Рисунок 4.5 — Ціни на IS21ES08GA-JQLI-TR [26]

Динаміка доступності даного компонента на ринку від Octopart за останній рік:

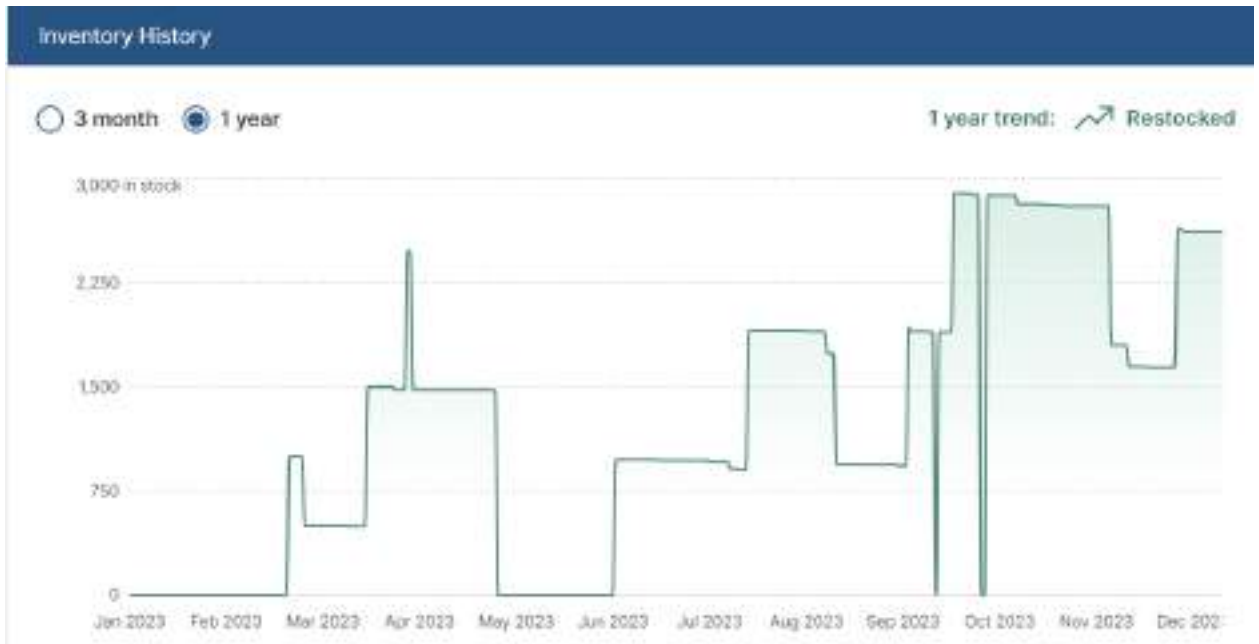


Рисунок 4.6 — Графік запасів IS21ES08GA-JQLI-TR [27]

З даного графіку можна зробити висновок, що даний компонент має досить великий попит і закуповується споживачами великими партіями. Однак виробник пам'яті намагається задовільнити попит і ріст доступності компонента на ринку є позитивним.

4.4 Інші компоненти

Загалом, в схемі-заміннику QSMP-1570, окрім наведених вище трьох компонентів, задіяно 49 резисторів, 78 конденсаторів, 4 індуктивності, 2 кварци, 3 діоди та одна мікросхема керування живлення РМІС.

В схемі використані резистори та конденсатори поверхневого монтажу, ціни на які варіюються від 0.001 євро за штуку при купівлі від 1000 штук до 0.02 євро. Розрахунок для кожного окремого компонента в даному випадку проводитися не буде, так як на кінцевий результат це майже не вплине. Ціною за штуку для одного резистора або конденсатора буде взято найгірше значення

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		58

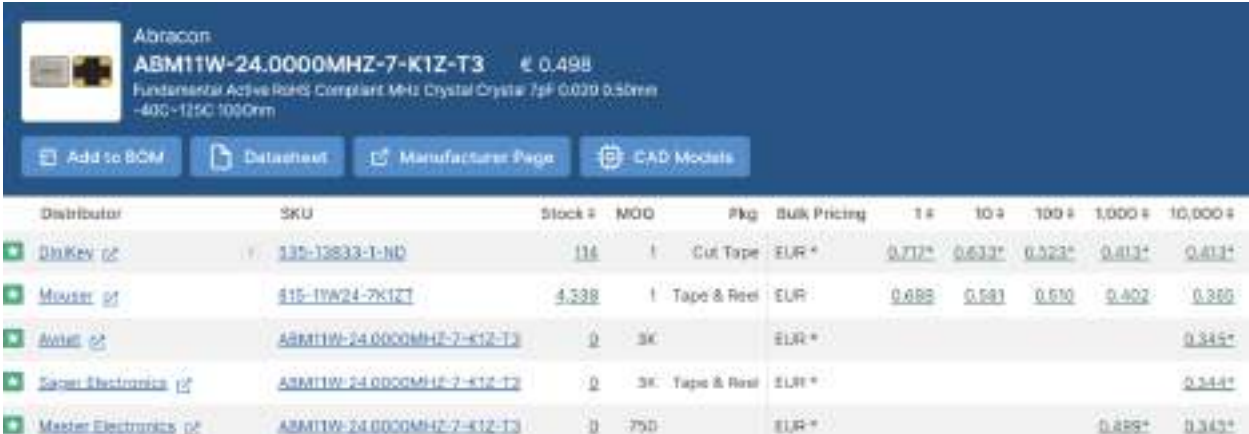
у 0.02 євро. Таким чином, загальна вартість всіх резисторів та конденсаторів схеми буде складати 2.54 євро.

Ціни на використані індуктивності варіюються від 0.049 євро за штуку при купівлі від 1000 штук до 0.069 євро. Як і в випадку з резисторами та конденсаторами, для розрахунків буде взято найгіршу ціну у 0.069 євро. Таким чином, вартість індуктивностей на схемі-заміннику буде складати 0.276 євро.

Розглянемо ціни на інші компоненти. Розглядати графіки запасів на них не має сенсу, так як вони всі, окрім мікросхеми РМІС, можуть бути без жодних втрат замінені на аналоги, котрих досить багато.

4.4.1 АВМ11W-24.0000MHZ-7-K1Z-T3

Найнижча ціна на даний кварц за 1000 штук серед наявних варіантів на ринку складає 0.402 євро за штуку у постачальника Mouser:



Distributor	SKU	Stock	MOQ	Pkg	Bulk Pricing	1*	10*	100*	1,000*	10,000*
DiKey	135-13833-1-ND	114	1	Cut Tape	EUR*	0.712*	0.632*	0.523*	0.413*	0.413*
Mouser	815-11A24-7K1ZT	4,338	1	Tape & Reel	EUR	0.688	0.591	0.510	0.402	0.365
Avnet	ABM11W-24.0000MHZ-7-K1Z-T3	0	3K		EUR*					0.345*
Sager Electronics	ABM11W-24.0000MHZ-7-K1Z-T3	0	3K	Tape & Reel	EUR*					0.344*
Master Electronics	ABM11W-24.0000MHZ-7-K1Z-T3	0	750		EUR*				0.498*	0.343*

Рисунок 4.7 — Ціни на АВМ11W-24.0000MHZ-7-K1Z-T3 [28]

На схемі даний кварц задіяний у кількості 1 шт.

4.4.2 ММС-463F-32.768KHZ-T

Найнижча ціна на даний кварц за 1000 штук серед наявних варіантів на ринку складає 0.387 євро за штуку у постачальника Farnell:

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		59

Distributor	SKU	Stock #	MOQ	Pkg	Bulk Pricing	1 ±	10 ±	100 ±	1,000 ±	10,000 ±
DigiKey [2]	277E-MMC-463F-32.768KHZ-TCT-ND	188,911	1	Cut Tape	EUR	0.548	0.781	0.652	0.483	0.483
RS [2]	219203P	11,570	10		EUR		0.438	0.425	0.414	
OnlineComponents.com [2]	MMC-463F-32.768KHZ-T	12,000	500	Bulk	EUR *				0.475*	0.420*
Master Electronics [2]	MMC-463F-32.768KHZ-T	12,000	500		EUR *				0.471*	0.427*
Farnell [2]	3112001	0,710	5	Tape & Reel	EUR		0.425	0.315	0.287	0.254

Рисунок 4.8 — Ціни на MMC-463F-32.768KHZ-T [29]

На схемі даний кварц задіяний у кількості 1 шт.

4.4.3 KPT-2012CGCK

Найнижча ціна на даний діод за 1000 штук серед наявних варіантів на ринку складає 0.1 євро за штуку у постачальника RS:

Distributor	SKU	Stock #	MOQ	Pkg	Bulk Pricing	1 ±	10 ±	100 ±	1,000 ±	10,000 ±
RS [2]	8110172P	2,000	50		EUR			0.122	0.100	0.100
Aztech [2]	KPT-2012CGCK	257			EUR *	0.404*	0.404*	0.404*	0.404*	0.404*
Verical [2]	KPT-2012CGCK	32,000	2K		EUR *				0.101*	
Arrow Electronics [2]	KPT-2012CGCK	32,000	2K		EUR *				0.112*	

Рисунок 4.9 — Ціни на KPT-2012CGCK [30]

На схемі даний діод задіяний у кількості 2 шт.

4.4.4 BAT54SWT1G

Найнижча ціна на даний діод за 1000 штук серед наявних варіантів на ринку складає 0.02 євро за штуку у постачальника Rochester Electronics:

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		60

Distributor	SKU	Stock #	MOQ	Pkg	Bulk Pricing	1 #	10 #	100 #	1,000 #
Rochester Electronics	BAT54SWT1G	38 300			EUR *	0.024*	0.024*	0.022*	0.020*
Arrow Electronics	BAT54SWT1G	19 305	1	Cut Tape	EUR *	0.022*	0.0151*	0.0160*	0.039*
DigiKey	BAT54SWT1G05CT-ND	111 369	1	Cut Tape	EUR	0.090	0.133	0.072	0.039

Рисунок 4.10 — Ціни на BAT54SWT1G [31]

На схемі даний діод задіяний у кількості 1 шт.

4.4.5 TPS65023RSBR

Найнижча ціна на дану мікросхему РМІС за 1000 штук серед наявних варіантів на ринку складає 1.359 євро за штуку у постачальника Texas Instruments:

Distributor	SKU	Stock #	MOQ	Pkg	Bulk Pricing	1 #	10 #	100 #	1,000 #	10,000 #
Texas Instruments	TPS65023RSBR	22 371	1	Cut Tape	EUR *	2.500*	2.300*	2.018*	1.359*	1.359*
Verical	TPS65023RSBR	1 250	4		EUR *	3.035*	2.532*	1.742*	1.742*	
Arrow Electronics	TPS65023RSBR	1 250	1	Cut Tape	EUR *	3.032*	3.035*	2.532*	1.742*	1.742*
Mouser	295-TPS65023RSBR	11162	1	Tape & Reel	EUR	3.000	3.150	2.680	1.900	1.820
DigiKey	285-34630-1-ND	5 195	1	Cut Tape	EUR *	3.641*	3.255*	2.679*	1.821*	1.821*

Рисунок 4.11 — Ціни на TPS65023RSBR [32]

Динаміка доступності даного компонента на ринку від Ostorpart за останній рік:

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		61

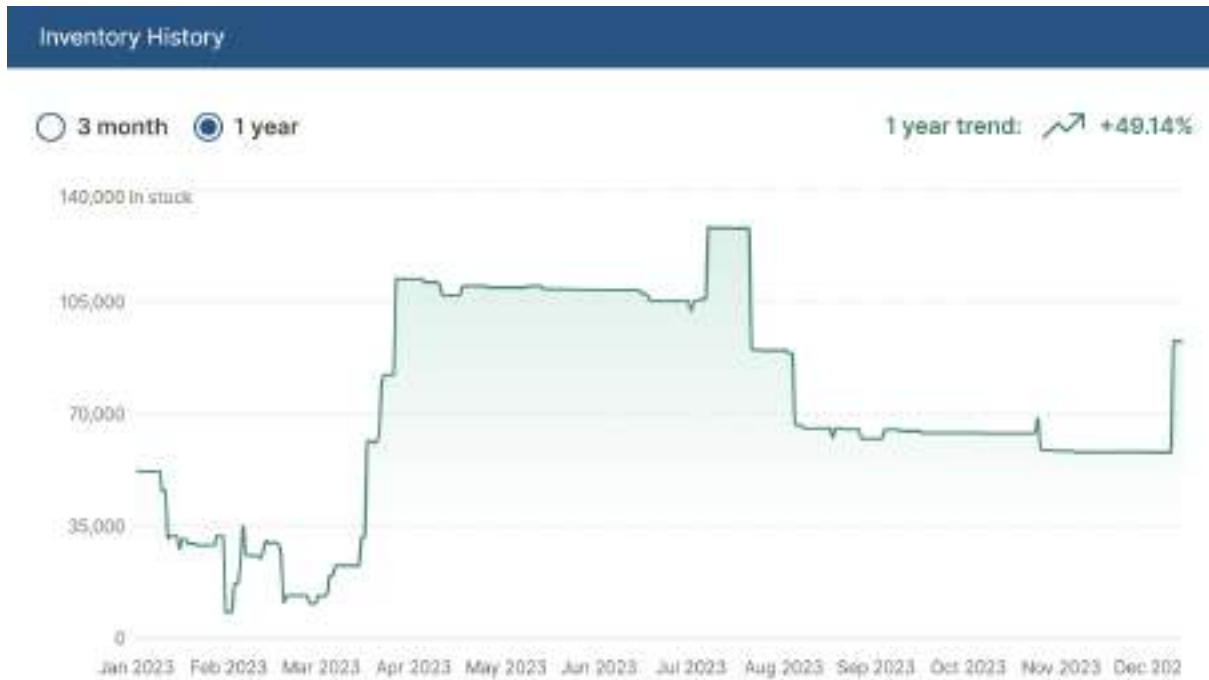


Рисунок 4.12 — Графік запасів TPS65023RSBR [33]

Як можемо бачити, приріст кількості наявних на ринку TPS65023RSBR за останній рік склав 49.14%, що є для нас дуже гарним показником.

4.5 Загальний аналіз

Таблиця 4.1 — Вартість компонентів для схеми-замінника в євро

	1 шт.	10 шт.	100 шт.	1000 шт.
STM32MP157CAA3	18.142	16.753	14.337	12.285
MT41K256M16TW-107 AUT:P	8.730	8.040	7.030	6.260
IS21ES08GA-JQLI-TR	8.150	7.510	6.570	5.850
Резистори та конденсатори (127 шт.)	2.54	2.54	2.54	2.54
Індуктивності (4 шт.)	0.276	0.276	0.276	0.276
ABM11W-24.0000MHZ-7-K1Z-T3	0.688	0.581	0.51	0.402
MMC-463F-32.768KHZ-T	0.425	0.425	0.414	0.387
KPT-2012CGCK (2 шт.)	0.258	0.258	0.258	0.2
BAT54SWT1G	0.024	0.024	0.022	0.02
TPS65023RSBR	2.5	2.5	2.038	1.359
Вартість схеми-замінника	41.733	38.907	33.995	29.579

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		62

Таким чином, вартість розробленого аналогу з розрахунку на 1000 штук складає 29.579 євро, в той час як вартість QSMP-1570 — 65.63 євро. Таким чином, отриманий аналог є дешевшим у 2.219 разів, або на 54.93%.

Економія на 1 друковану плату складає 36.051 євро при умові закупівлі компонентів на 1000 штук.

За умови закупівлі компонентів схеми-заміннику для однієї друкованої плати, економія буде складати 23.897 євро, або 36.412%.

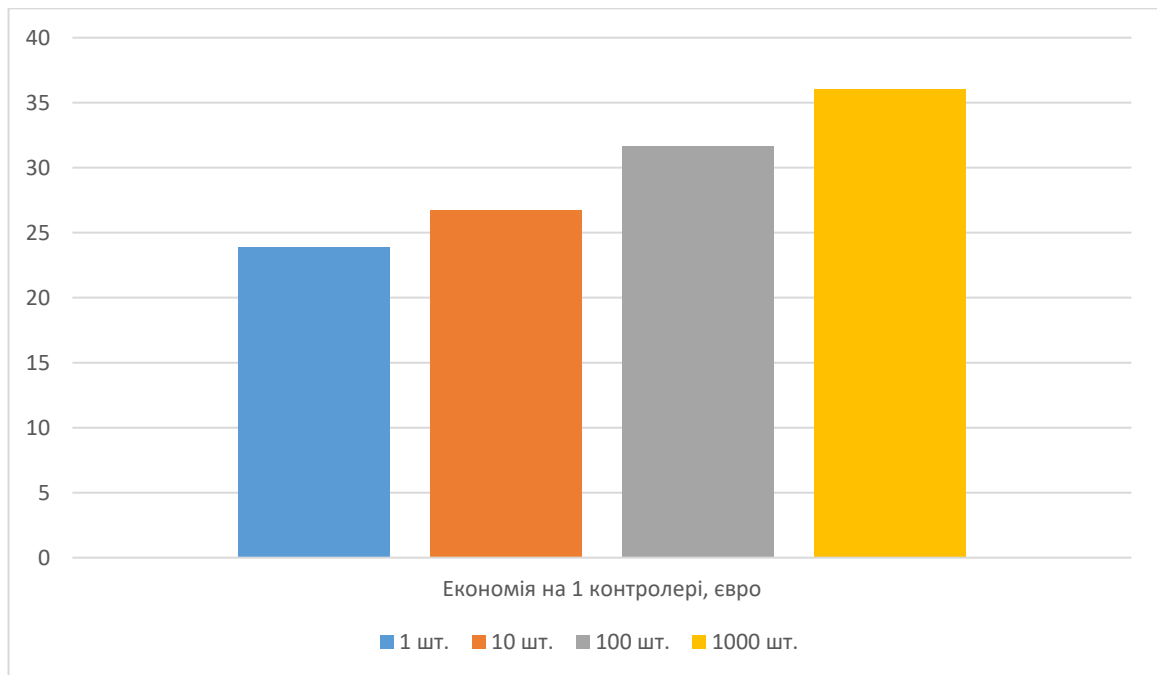


Рисунок 4.13 — Економія на розробленій схемі-заміннику в залежності від кількості компонентів у закупівлі, євро

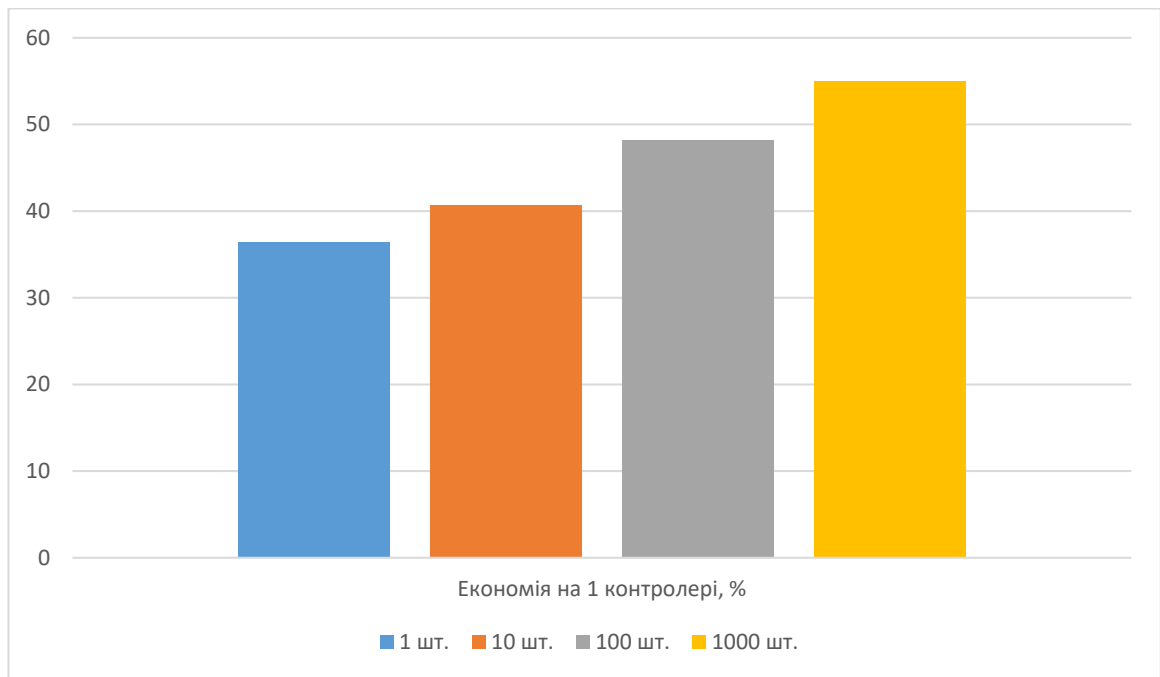


Рисунок 4.14 — Економія на розробленій схемі-заміннику в залежності від кількості компонентів у закупівлі, %

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		64

ВИСНОВКИ

1. Головним недоліком аналогів ринку є неможливість їх інтеграції в існуючий робочий проєкт, низька доступність на ринку та висока ціна. Як наслідок — головною ціллю при розробці було створення власного аналогу задіяного в минулих версіях проєкту чіпу QSMP-1570 із меншою собівартістю.
2. Із всіх задіяних в розробці компонентів, не може бути замінена на аналог лише мікросхема STM32MP157CAA3, так як це буде вимагати змін в програмному забезпеченні пристрою і змін в розробленому РСВ-дизайні. Всі інші компоненти за потреби можуть бути замінені на аналоги без змін на друкованій платі за умови ідентичності PinOut та габаритних розмірів.
3. Був проведений ціновий аналіз схеми-замінника. Було обрано параметри друкованої плати виходячи з вимог мінімальної ширини доріжки при трасуванні DDR3L з імпедансом. Були обрані компоненти схеми-замінника виходячи з вимог мінімальної вартості при закупівлі 1000 штук. Були оптимізовані схеми під'єднання компонентів, та виконані вирівнювання довжин із дотриманням правил ізоляції.
4. Розроблений аналог вже пройшов перевірку працездатності на підприємстві і надійшов у виробництво. Конструкторська документація не може бути висвітлена, так як вона охороняється комерційною таємницею.

Розроблений аналог задовольняє умовам технічного завдання.

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		65

5 ПЕРЕЛІК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. У 2022 РОЦІ ПОСТАЧАННЯ НАПІВПРОВІДНИКІВ НЕ ПОЛІПШИТЬСЯ — Режим доступу: <https://logist.fm/news/u-2022-roci-postachannya-napivprovidnikov-ne-polipshitsya> — 07.09.2023.

2. Чому виникла світова криза напівпровідників та як її подолати — Режим доступу: <https://speka.media/inzeneri-globallogic-dopomagayut-podolati-svitovu-krizu-napivprovidnikov-9qr0kv> — 07.09.2023.

3. QSMP-1570 — Режим доступу: <https://eu.mouser.com/datasheet/2/616/QSMP-1666981.pdf> — 07.09.2023.

4. Octopart QSMP-1570 — Режим доступу: <https://octopart.com/search?q=QSMP-1570¤cy=USD&specs=0> — 07.09.2023.

5. CC-ST-DW69-ZM — Режим доступу: <https://hub.digi.com/dp/path=/marketing/asset/digi-connectcore-mp1-ds> — 07.09.2023.

6. CC-ST-DW69-ZM — Режим доступу: <https://octopart.com/search?q=CC-ST-DW69-ZM¤cy=USD&specs=0> — 07.09.2023.

7. OSD32MP157C-512M-IAA — Режим доступу: https://www.digikey.de/en/products/detail/OSD32MP157C-512M-IAA/1676-OSD32MP157C-512M-IAA-ND/11612012?curr=usd&utm_campaign=buynow&utm_medium=aggregator&utm_source=octopart — 07.09.2023.

8. OSD32MP157C-512M-IAA Octopus — Режим доступу: <https://octopart.com/osd32mp157c-512m-iaa-octavo+systems-107448651?r=sp> — 07.09.2023.

9. OSD32MP157C-512M-IAA Datasheet — Режим доступу: <https://octavosystems.com/docs/osd32mp15x-datasheet/> — 07.09.2023.

					PE-21мн.467444.001	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		66

10. AN5031 — Режим доступу:
https://www.st.com/resource/en/application_note/an5031-getting-started-with-stm32mp151-stm32mp153-and-stm32mp157-line-hardware-development-stmicroelectronics.pdf — 24.10.2023.
11. JLCPCB Capabilities — Режим доступу:
<https://jlcpcb.com/capabilities/pcb-capabilities> — 20.12.2023.
12. MT41K256M16TW-107 — Режим доступу:
https://eu.mouser.com/datasheet/2/671/4Gb_DDR3L-1283964.pdf — 20.12.2023.
13. ABM11W-24.0000MHZ-7-K1Z-T3 — Режим доступу:
<https://eu.mouser.com/datasheet/2/3/ABM11W-1774757.pdf> — 20.12.2023.
14. Диференційний сигнал — Режим доступу:
https://uk.wikipedia.org/wiki/Диференційний_сигнал — 27.12.2023.
15. Перехресні завади: Режим доступу:
https://uk.wikipedia.org/wiki/Перехресні_завади#:~:text=Перехресні%20завади%20—%20сигнали%20завади%20С%20що,сигналу%20у%20сусідніх%20лініях%20передачі. — 27.12.2023.
16. Глітч — Режим доступу:
[https://uk.wikipedia.org/wiki/Глітч_\(електроніка\)#:~:text=Глітч%20\(англ.,електроніці%20а%20також%20серед%20геймерів.](https://uk.wikipedia.org/wiki/Глітч_(електроніка)#:~:text=Глітч%20(англ.,електроніці%20а%20також%20серед%20геймерів.) — 27.12.2023.
17. Джиттери — Режим доступу: <https://uk.wikipedia.org/wiki/Джиттер> — 27.12.2023.
18. AN5122 — Режим доступу:
https://www.st.com/resource/en/application_note/an5122-stm32mp1-series-ddr-memory-routing-guidelines-stmicroelectronics.pdf — 24.10.2023.
19. DDR3L_Memory_length_equalization_in_mm_for_STM32MP15XXAA — Режим доступу: <https://www.st.com/en/microcontrollers-microprocessors/stm32mp157.html#cad-resources> — 27.12.2023.

						Арк.
						67
Зм.	Лист	№ докум.	Підпись	Дата		

20. *IS21ES08GA-JQLI-TR* — *Режим доступу:*
https://www.mouser.de/datasheet/2/198/ISSI_6_8_22_IS21ES08GA__Rev_0A_1208_2021-2950165.pdf — 29.12.2023.

21. *Mouser QSMP1570* — *Режим доступу:*
https://eu.mouser.com/ProductDetail/Ka-Ro-electronics/QSMP-1570?qs=wnTfsH77Xs7yBorAxIzF%2Fg%3D%3D&_gl=1*ishzt2*_ga*MTA2MDAxOTc0NC4xNjg0OTM2NDIx*_ga_15W4STQT4T*MTcwNDE5ODI5Ny4yMi4wLjE3MDQxOTgyOTcuNjAuMC4w — 02.01.2024.

22. *Ціни на STM32MP157CAA3* — *Режим доступу:*
https://octopart.com/search?q=STM32MP157CAA&autosugg_idx=0¤cy=USD&specs=0 — 02.01.2024.

23. *Занаси STM32MP157CAA3* — *Режим доступу:*
<https://octopart.com/stm32mp157caa3-stmicroelectronics-100293983?r=sp> — 02.01.2024.

24. *Ціни на MT41K256M16TW-107 AUT:P* — *Режим доступу:*
<https://octopart.com/search?q=MT41K256M16TW-107+AUT%3AP¤cy=EUR&specs=0> — 02.01.2024.

25. *Занаси MT41K256M16TW-107 AUT:P* — *Режим доступу:*
<https://octopart.com/mt41k256m16tw-107+aut%3Ap+tr-micron-80967362?r=sp> — 02.01.2024.

26. *Ціни на IS21ES08GA-JQLI-TR* — *Режим доступу:*
<https://octopart.com/search?q=IS21ES08GA-JQLI-TR¤cy=EUR&specs=0> — 02.01.2024.

27. *Занаси IS21ES08GA-JQLI-TR* — *Режим доступу:*
<https://octopart.com/is21es08ga-jqli-tr-issi-127855021?r=sp> — 02.01.2024.

28. *Ціни на ABM11W-24.0000MHZ-7-K1Z-T3* — *Режим доступу:*
<https://octopart.com/search?q=ABM11W-24.0000MHZ-7-K1Z-T3¤cy=EUR&specs=0> — 02.01.2024.

					<i>PE-21mn.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		68

29. Ціни на MMC-463F-32.768KHZ-T — Режим доступу:
<https://octopart.com/search?q=MMC-463F-32.768KHZ-T¤cy=EUR&specs=0> — 02.01.2024.

30. Ціни на KPT-2012CGCK — Режим доступу:
<https://octopart.com/search?q=KPT-2012CGCK¤cy=EUR&specs=0> — 02.01.2024.

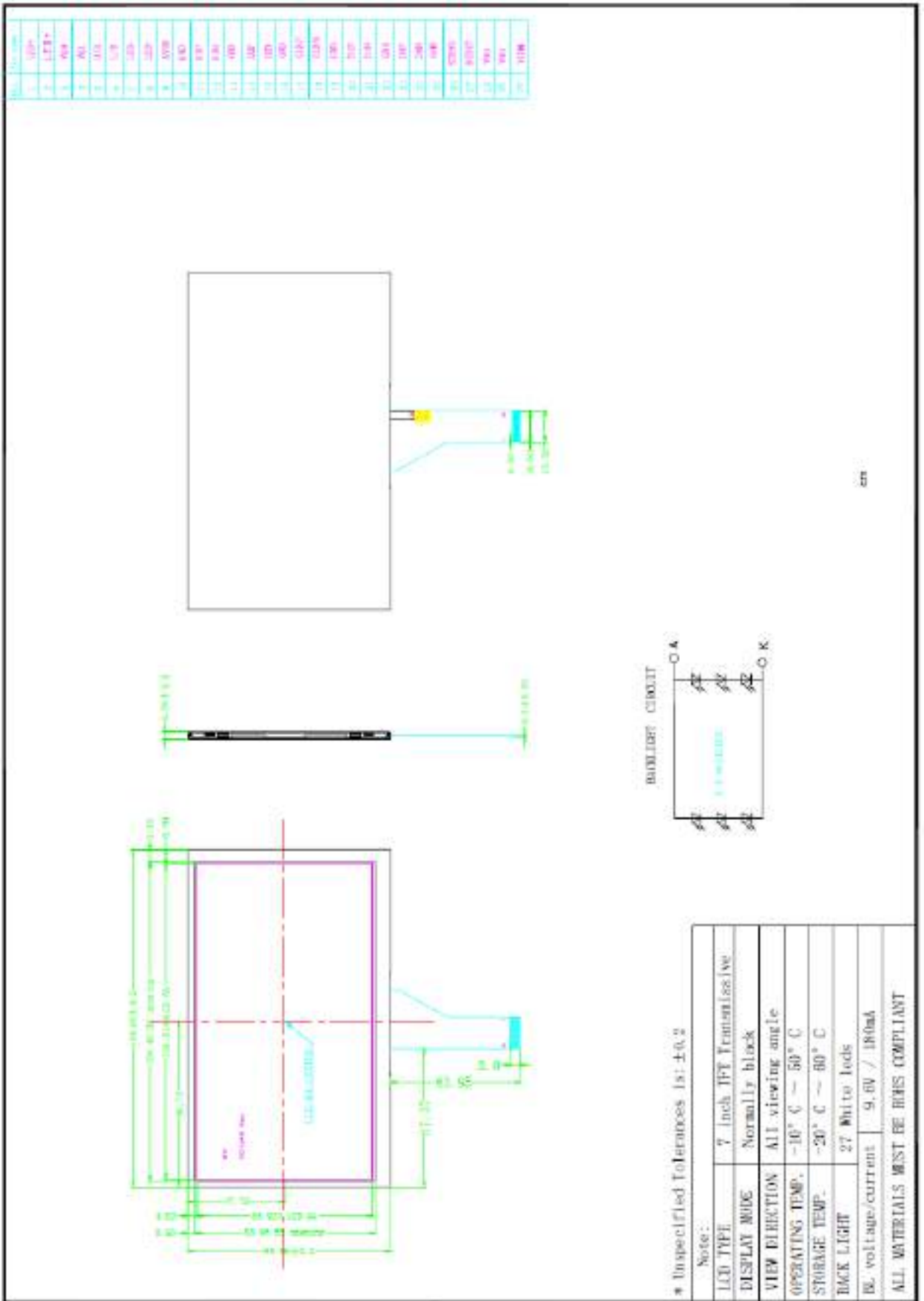
31. Ціни на BAT54SWT1G — Режим доступу:
<https://octopart.com/search?q=BAT54SWT1G¤cy=EUR&specs=0> — 02.01.2024.

32. Ціни на TPS65023RSBR — Режим доступу:
<https://octopart.com/search?q=TPS65023¤cy=USD&specs=0> — 02.01.2024.

33. Запаси TPS65023RSBR — Режим доступу:
<https://octopart.com/tps65023rsbr-texas+instruments-7113285?r=sp> — 02.01.2024.

					<i>PE-21мн.467444.001</i>	Арк.
Зм.	Лист	№ докум.	Підпись	Дата		69

ДОДАТОК А. ГАБАРИТНІ РОЗМІРИ МХ-А70НМ30-ІХ21



ДОДАТОК Б. ТЕХНІЧНЕ ЗАВДАННЯ

ПОГОДЖЕНО

Керівник дипломного проекту
К.т.н.,доцент Сушко І. О.

(підпис)

(дата)

ЗАТВЕРДЖЕНО

Завідувач кафедри прикладної
радіоелектроніки, К.т.н.,доцент
Мовчанюк А.В.

(підпис)

(дата)

Київ 2024

1 НАЗВА І ПІДСТАВА ДЛЯ ВИКОНАННЯ

Назва магістерської дисертації «Оптимізація друкованої плати контролера для зарядки електромобіля».

Підставою для виконання є завдання, видане кафедрою прикладної радіоелектроніки від «01 » вересня 2023 р.

2 ВИКОНАВЕЦЬ

Виконавець — студентка групи РЕ-21мп Скосарєва Анна Геннадіївна.

3 МЕТА ВИКОНАННЯ ДП І ПРИЗНАЧЕННЯ ПРОДУКЦІЇ

Метою магістерської дисертації є розробка дешевшого аналогу чіпу QSMP-1570 згідно всіх отриманих вимог.

Отриманий виріб повинен бути представлений у вигляді схеми-заміннику з підбраною оптимізованою по ціні компонентною базою та інтегрований у існуючий проєкт друкованої плати на місце чіпу QSMP-1570, повністю замінивши його.

4 ТЕХНІЧНІ ВИМОГИ

4.1 Призначення

Напруга живлення на лініях: VDD_CORE 1.2 В, VDD 3.3 В, VDD_DDR 1.35 В;

Струм на лініях: VDD_CORE до 1.7 А, VDD до 1.2 А, VDD_DDR до 1 А;

Використати: Процесор STM32MP157CAA3, eMMC Flash 8Gb, DDR3L 16-bit 256Mb, екран MX-A70HM30-IX21;

Життєздатності та стійкості до зовнішніх впливів і чинників. Кліматичні вимоги згідно ГОСТ 25467-82 У-1.

Захист від механічних впливів згідно ГОСТ 16962-71.

4.2 Надійності

Вимоги надійності відповідно до ГОСТ 25359-82 III групи складності приладу.

4.3 Конструкції

Друкована плата 4х шарова, одностороння.

Інтеграція схеми-замінника на місце чіпу QSMP-1570 на друкованій платі зі збереженням PinOut.

Мінімальні технічні вимоги згідно мінімальних можливостей виробника JLPCSB.

Виносний дисплей.

4.4 Уніфікації і стандартизації

При виборі компонентів орієнтуватися на мінімальну вартість при замовленні від 1 тис. шт. Діапазон робочих температур всіх обраних компонентів повинен бути не меншим за °C: -20...+85.

4.5 Дизайну, ергономіки та технічної естетики

Відстань між сусідніми компонентами не менше 0.1 мм.

Ширина друкованої плати 1.6 мм.

Розташувати по одному ізольованому круглому маркеру діаметром 1 мм біля кожного BGA компоненту.

4.6 Експлуатації, зручності технічного обслуговування та ремонту

Технічне обслуговування проводити електриком компанії виробника виключно у випадку некоректної роботи приладу.

4.7 Безпеки для життя, здоров'я і майна громадян та охорони довкілля

Керуватися положеннями стандартів про вимоги технічної безпеки, електробезпеки, пожежної безпеки.

Утилізація згідно вимог для промислових відходів за ГОСТ 30773-2001.

4.8 Транспортування і зберігання

Умови транспортування згідно ГОСТ 23088-80. Зберігання: за ГОСТ 15150-69.

5 ВИМОГИ ДО СИРОВИНИ, МАТЕРІАЛІВ І ПКВ

Не надано.

6 ВИМОГИ ДО КОНСЕРВАЦІЇ, ПАКУВАННЯ І МАРКУВАННЯ

Не надано.

7 ВИМОГИ ДО РОЗРОБЛЮВАНОЇ ДОКУМЕНТАЦІЇ

Оформлювати документацію згідно ДСТУ 3008:2015.

7.1 Орієнтовний зміст дипломного проекту

- Титульний лист
- Завдання
- Анотація (двома мовами)
- Титульний лист пояснювальної записки
- Зміст
- Вступ
- 1 Аналіз ринку
- 2 Опис схем під'єднання
- 3 PCB Design
- 4 Цінова оптимізація
- Висновки
- Перелік джерел посилань
- Додатки

8 СТАДІЇ І ЕТАПИ МАГІСТЕРСЬКОЇ ДИСЕРТАЦІЇ

Робота виконується в 8 етапів.


№ з/п	Назва етапів виконання магістерської дисертації	Термін виконання етапів магістерської дисертації	Примітка
1	Отримання теми магістерської дисертації	05.09.2023р.	
2	Розробка плану магістерської дисертації	10.09. 2023р.	
3	Початок збору інформації для дослідження	24.09.2023р.	
4	Аналіз ринку	05.10.2023р.	
5	Опис схем під'єднання	05.11.2023р.	
6	PCB Design	01.01.2024р.	
7	Цінова оптимізація	03.01.2024р.	
8	Оформлення магістерської дисертації	09.01.2024р.	

9 ПОРЯДОК ПРИЙМАННЯ МАГІСТЕРСЬКОЇ ДИСЕРТАЦІЇ І МАТЕРІАЛІВ, ЯКІ ПОДАЮТЬ ПО ЗАКІНЧЕНІ ЕТАПІВ МАГІСТЕРСЬКОЇ ДИСЕРТАЦІЇ І У ЦІЛОМУ

1. Представлення проміжних результатів магістерської дисертації керівнику в зазначені терміни;
2. Представлення завершеної магістерської дисертації керівнику;
3. Перевірка магістерської дисертації на наявність плагіату;
4. Представлення кафедрі завершеної магістерської дисертації за 10 днів до дати захисту;
5. Захист магістерської дисертації перед екзаменаційною комісією.

Виконавець

Скосарева А.Г.



Керівник

К.т.н., доцент Сушко І. О.

