



[RE-121] ПРОЕКТУВАННЯ ЦИФРОВИХ ПРИСТРОЇВ НА ПЛІС



Робоча програма навчальної дисципліни (Силабус)

Реквізити навчальної дисципліни

Рівень вищої освіти	Перший (бакалаврський)
Галузь знань	G - Інженерія, виробництво та будівництво
Спеціальність	G5 - Електроніка, електронні комунікації, приладобудування та радіотехніка
Освітня програма	Всі ОП
Статус дисципліни	Вибіркова (Ф-каталог)
Форма здобуття вищої освіти	Очна
Рік підготовки, семестр	Доступно для вибору починаючи з 3-го курсу, осінній семестр
Обсяг дисципліни	4 кред. (Лекц. 16 год, Практ. год, Лаб. 30 год, СРС. 74 год)
Семестровий контроль/контрольні заходи	Залік
Розклад занять	https://schedule.kpi.ua
Мова викладання	Українська / Англійська
Інформація про керівника курсу / викладачів	Лекц.: Мосійчук В. С. , Лаб.: Титенко О. Т. , СРС.: Мосійчук В. С.
Розміщення курсу	http://iot.kpi.ua/lms/course/view.php?id=20

Програма навчальної дисципліни

1. Опис навчальної дисципліни, її мета, предмет вивчення та результати навчання

Метою дисципліни "Проектування цифрових пристроїв на ПЛІС" є формування у студентів здатностей:

- розуміти структуру та основи реалізації програмованої логіки;
- розуміти синтаксис та правила мов опису моделей цифрових пристроїв HDL;
- розуміти відмінності структурного та поведінкового стилів опису цифрових пристроїв;

- розуміти потребу та можливості тестування моделей цифрових пристроїв засобами HDL;
- створювати моделі цифрових пристроїв комбінаційного типу на VerilogHDL;
- створювати моделі цифрових пристроїв послідовнісного типу на VerilogHDL;
- створювати моделі складних ієрархічних проектів цифрових пристроїв та виконувати їх автоматичне тестування.

Після засвоєння дисципліни мають продемонструвати такі результати навчання:

знання :

- основ реалізації програмованої логіки;
- синтаксису та правил опису моделей цифрових пристроїв на HDL;
- можливостей та потреби тестування (автоматичного тестування) моделей цифрових пристроїв на HDL;
- концепції опису складних ієрархічних цифрових систем засобами опису апаратури HDL.

уміння:

- формулювати та розуміти специфікацію (технічне завдання) на розробку цифрових пристроїв;
- створювати проекти в середовищі автоматичної розробки моделей цифрових пристроїв на HDL;
- реалізовувати ієрархічні проекти складних цифрових систем;
- виконувати оптимізацію моделей цифрових пристроїв за різними критеріями;

здатність належно виконувати певні дії, заснована на доцільному використанні людиною набутих знань

досвід:

- проектування та реалізації цифрових пристроїв на ПЛІС;
- створення та тестування моделей цифрових пристроїв засобами мов опису апаратури HDL.

2. Пререквізити та постреквізити дисципліни (місце в структурно-логічній схемі навчання за відповідною освітньою програмою)

Дисципліна “Проектування ЦП на ПЛІС” є базується на таких курсах: Інформатика, в якій студенти отримали базові навички програмування на мові С, Цифрові пристрої, в якій студенти отримали базові поняття відносно базових цифрових пристроїв.

3. Зміст навчальної дисципліни

РОЗДІЛ 1. Синтаксис Verilog та правила опису моделей ЦП та їх основи

Тема 1.1: «Основи програмованої логіки, архітектура ПЛІС»

Універсальні цифрові пристрої, приклади реалізації програмованих ЦП на мультиплексорах та дешифраторах; приклад створення програмованого ЦП на основі ПЗП; програмовані логічні матриці (ПЛМ), програмована матрична логіка (ПМЛ); приклад реалізації ЦП на ПМЛ ; сучасні структури ПЛІС.

Тема 1.2: «Особливості проектування цифрових пристроїв на ПЛІС. Мови опису моделей цифрових пристроїв HDL»

Синтаксис мови опису цифрових пристроїв Verilog; поведінковий опис цифрових пристроїв ; структурний опис цифрових пристроїв; типи даних integer, reg та wire; способи визначення

логічних функцій

Тема 1.3: «Опис моделей цифрових пристроїв комбінаційного типу на Verilog»

Опис повного суматора ; опис мультиплекторів; опис дешифраторів; опис ієрархічних проектів цифрових пристроїв;

Тема 1.4: «Опис моделей цифрових пристроїв послідовнісного типу на Verilog»

Різниця опису тригерів та «латчів» (фіксаторів); опис регістру; опис лічильника з заданим модулем лічби; опис зсувного регістру; різниця між блокуючим та неблокуючим присвоєнням;

Тема 1.5: «Особливості реалізації синхронних ЦП»

Визначення синхронних цифрових пристроїв; розпізнавання синхронних та асинхронних ЦП; опис ЦП з синхронним та асинхронним скиданням; опис цифрових автоматів Мілі та Мура.

Тема 1.6: «Методологія тестування функціональної коректності моделей ЦП на Verilog»

Методологія тестування та перевірки функціональної коректності; конструкції та директиви HDL, що можуть використовуватися під час тестування; вивід інформації у консоль; особливості реалізації універсальних тестових модулів;

Тема 1.7: «Опис параметричних модулів ЦП»

Особливості опису модулів з параметрами; цикли for та in , що можуть бути синтезовані у параметричних модулях; параметризація модуля генератора псевдовипадкового коду; приклад повної параметризації модуля генератора ПСП;

Тема 1.8: «Особливості створення ЦП конвеєрного типу»

Часовий та просторовий паралелізм – аналогії з життя ; оцінка підвищення продуктивності за рахунок паралелізму; опис цифрового фільтру, аналіз складності окремих його блоків ; оптимізація цифрового фільтру, реалізація суматора на основі конвеєра;

Тема 1.9: «Особливості дизайну ЦП стійких до завад типу голок»

Часові характеристики цифрових пристроїв; природа появи завад типу «голки» ; опис та використання синхронізаторів вхідних зовнішніх сигналів; коректні схеми виділення фронтів та формування імпульсів з використанням тактового сигналу (gated clock).

РОЗДІЛ 2. Опис та тестування моделей цифрових пристроїв на Verilog

Тема 2.1. Реалізація ЦП комбінаційного типу на ПЛІС.

Опис комбінаційного ЦП поведінковим та структурним стилем. Виконання тестування модуля створеним модулем автоматичного тестування. Призначення портів виводів ПЛІС та конфігурування ПЛІС на макеті.

Тема 2.2. Реалізація ЦП послідовнісного типу на ПЛІС.

Опис послідовнісного ЦП поведінковим та структурним стилем. Виконання тестування модуля створеним модулем автоматичного тестування. Призначення портів виводів ПЛІС та конфігурування ПЛІС на макеті.

Тема 2.3. Реалізація паралельного інтерфейсу до ЦАП. Формування заданих сигналів

Створення ієрархічного проекту структурним стилем. Створення тест плану та його реалізація в модулі автоматичного тестування. Призначення портів виводів ПЛІС та конфігурування

ПЛИС на макеті.

Тема 2.4. Реалізація цифрового фільтру на ПЛИС.

Створення ієрархічного проекту з цифровим фільтром. Виконання оптимізації комбінаційної схеми фільтра на основі створення конвеєра. Призначення портів виводів ПЛИС та конфігурування ПЛИС на макеті.

4. Навчальні матеріали та ресурси

Базова

1. Опис та симуляція моделей цифрових пристроїв на Verilog : Метод. вказівки до викон. розрахунково-графічної роботи для студ. спец. «Радіоелектронні апарати та засоби», «Інтелектуальні технології мікросистемної радіоелектронної техніки», «Біотехнічні та медичні апарати і системи» / Уклад.: В.С. Мосійчук. – К. : НТУУ «КПІ», 2012. – 35 с. – Режим доступу: http://ros.kpi.ua/downloads/CXT_EA_RGR.pdf
2. Рябенський В. М. VERILOG. Практика проектування цифрових пристроїв на ПЛИС : Навч. посіб. / В.М. Рябенський, О.О. Ушкаренко ; Нац. ун-т кораблебудування ім. адм. Макарова. – Миколаїв : Іліон, 2007. – 324 с

Допоміжна

3. Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры / А.К. Поляков. – М. : СОЛОН-Пресс, 2003. – 320 с. – Библиогр. : ISBN 5-08003-016-6.
4. Harris D. M. Digital Design and Computer Architecture / D.M. Harris , S. L. Harris. ; Sec. Ed. – Morgan Kaufmann, 2013. – 560 с. – ISBN 978-0-12-394424-5.]. – Режим доступу: https://www.uop.edu.jo/download/research/members/Digital_Design_and_Computer_Architecture.pdf
5. Ciletti M. D. Advanced Digital Design with the Verilog HDL / M.D. Ciletti. – Prentice Hall. – 982 p. – ISBN 978-0-13-089161-7.
6. Угрюмов Е. П. Цифровая схемотехника / Е. П. Угрюмов. – СПб. : БХВ-Петербург, 2004. – 528 с. – Библиогр. : ISBN 5-8206-0100-9.
7. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца. – М. : Издательский дом «Додека-XXI», 2007. – 407 с. – Библиогр. : ISBN 978-5-94120-147-1.
8. Соловьев В. В. Проектирование цифровых систем на основе программируемых логических интегральных схем. – М. : Горячая линия – Телеком, 2001. – 636 с. – Библиогр. : ISBN 5-93517-043-4.
9. Стешенко В. Б. ПЛИС фирмы ALTERA : проектирование устройств обработки сигналов. М. : ДОДЕКА, 2000. – 128 с.

Інформаційні ресурси

10. Altera Corporation [Електронний ресурс]. – Режим доступу: <http://altera.com>. – Назва з екрану.
11. Проектирование цифровых устройств : подборка электронных книг [Електронний ресурс]. – Режим доступу: <http://www.ex.ua/12183571>. – Назва з екрану.

5. Методика опанування навчальної дисципліни (освітнього компонента)

4. Лекційні заняття

№ з/п	Назва теми лекції та перелік основних питань (перелік дидактичних засобів, посилання на літературу та завдання на CPC)
1	Тема: «Основи програмованої логіки, архітектура ПЛІС» • універсальні цифрові пристрої, приклади реалізації програмованих ЦП на мультиплексорах та дешифраторах; • приклад створення програмованого ЦП на основі ПЗП; • програмовані логічні матриці (ПЛМ), програмована матрична логіка (ПМЛ); • приклад реалізації ЦП на ПМЛ ; • сучасні структури ПЛІС. Література: • Хоровиц П., Хилл У. Искусство схемотехники, Разд. 8.15, 8.27 • Максфилд К. Проектирование на ПЛИС. Курс молодого бойца, Главы 2, 3. 4 Завдання на CPC: • Поцікавитись історією створення мов опису моделей цифрових пристроїв. • Ознайомитися з міжнародними стандартами на дві найбільш поширені мови опису цифрових пристроїв VHDL та VerilogHDL
2	Тема: «Особенности проектирования цифровых устройств на ПЛИС. Мови опису моделей цифрових пристроїв HDL» • синтаксис мови опису цифрових пристроїв Verilog; • поведінковий опис цифрових пристроїв ; • структурний опис цифрових пристроїв; • типи даних integer, reg та wire; • способи визначення логічних функцій Література: • Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры, Главы 1, 2. • Harris D. M. Digital Design and Computer Architecture, ch. 4 • Ciletti M. D. Advanced Digital Design with the Verilog HDL, ch. 4 Завдання на CPC: • Виписати в конспект з прикладами базові логічні елементи Verilog.
3	Тема: «Опис моделей цифровых устройств комбинационного типа на Verilog» • опис повного суматора ; • опис мультиплексорів; • опис дешифраторів; • опис ієрархічних проектів цифрових пристроїв; Література: • Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры, Разд. 3.1, 5.6. • Harris D. M. Digital Design and Computer Architecture, ch. 2, 4.2, 4.3. 4.5 • Ciletti M. D. Advanced Digital Design with the Verilog HDL, pp. 143-149; ch. 6.2 Завдання на CPC: • Описати структурним стилем компаратор на 8 розрядів на основі однорозрядного;
4	Тема: «Опис моделей цифровых устройств последовательного типа на Verilog» • різниця опису тригерів та латчів(фіксаторів); • опис регістру; • опис лічильника з заданим модулем лічби; • опис зсувного регістру; • різниця між блокуючим та неблокуючим присвоєнням; Література: • Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры, Разд. 3.2, 5.7. • Harris D. M. Digital Design and Computer Architecture, ch. 3, 4.4 • Ciletti M. D. Advanced Digital Design with the Verilog HDL, pp. 150-223, ch. 6.3 Завдання на CPC: • Описати на HDL реверсивний лічильник з довільним модулем лічби.

5	Тема: «Особливості реалізації синхронних ЦП» • визначення синхронних цифрових пристроїв; • розпізнавання синхронних та асинхронних ЦП; • опис ЦП з синхронним та асинхронним скиданням; • опис цифрових автоматів Мілі та Мура. Література: • Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры, Разд. 3.3, 5.8 • Harris D. M. Digital Design and Computer Architecture, ch. 3.3-3.4, 4.6 • Ciletti M. D. Advanced Digital Design with the Verilog HDL, ch. 6.5-6.7 Завдання на СРС: • Описати цифровий автомат, що буде реалізовувати діаграму станів пральної машини.
6	Тема: «Методологія тестування функціональної коректності моделей ЦП на Verilog» • методологія тестування та перевірки функціональної коректності; • конструкції та директиви HDL, що можуть використовуватися під час тестування; • вивід інформації у консоль; • особливості реалізації універсальних тестових модулів; Література: • Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры, Гл. 4 • Максфилд К. Проектирование на ПЛИС. Курс молодого бойца, Глава 19 • Harris D. M. Digital Design and Computer Architecture, ch. 4.8 Завдання на СРС: • Описати тестовий модуль для автоматичної перевірки функціональної коректності компаратора та реверсивного лічильника.
7	Тема: «Опис параметричних модулів ЦП» • особливості опису модулів з параметрами; • цифли for та in, що можуть бути синтезовані у параметричних модулях; • параметризація модуля генератора псевдовипадкового коду; • приклад повної параметризації модуля генератора ПСП; Література: • Максфилд К. Проектирование на ПЛИС. Курс молодого бойца, с. 361-376 • Harris D. M. Digital Design and Computer Architecture, ch. 4.7 • Ciletti M. D. Advanced Digital Design with the Verilog HDL, ch. 5.10 Завдання на СРС: • Описати параметризовані модулі ЦП відповідно до завдання ДКР.
8	Тема: «Особливості створення ЦП конвеєрного типу» • часовий та просторовий паралелізм – аналогії з життя ; • оцінка підвищення продуктивності за рахунок паралелізму; • опис цифрового фільтру, аналіз складності окремих його блоків ; • оптимізація цифрового фільтру, реалізація суматора на основі конвеєра; Література: • Максфилд К. Проектирование на ПЛИС. Курс молодого бойца, Главы 7, 12 • Harris D. M. Digital Design and Computer Architecture, ch. 3.6 • Ciletti M. D. Advanced Digital Design with the Verilog HDL, ch. 9.3-9.5 Завдання на СРС: • Продумати можливі варіанти реалізації конвеєрного типу цифрового фільтру, оцінка ступеня оптимізації продуктивності.
9	Тема: «Особливості дизайну ЦП стійких до завад типу голок» • часові характеристики цифрових пристроїв; • природа появи завад типу «голки» ; • опис та використання синхронізаторів вхідних зовнішніх сигналів; • коректні схеми виділення фронтів та формування імпульсів з використанням тактового сигналу (gated clock). Література: • Harris D. M. Digital Design and Computer Architecture, ch. 3.5 • Ciletti M. D. Advanced Digital Design with the Verilog HDL, ch. 2.5, 6.11 Завдання на СРС: • Продумати практичне використання синхронізаторів у проекті відповідно до ДКР

Лабораторні заняття

Оскільки дисципліна «Проектування ЦП на ПЛІС» належить до **циклу дисциплін професійно-практичної** підготовки, то значна увага приділяється саме практичній складовій навчання. Основною метою лабораторних занять є експериментальна перевірка теоретичних знань, набуття навиків проектування, реалізації алгоритмів на основі мов опису Verilog HDL, тестування та верифікація проектів радіотехнічних пристроїв за допомогою їх моделювання та конфігурації ПЛІС на макетах.

№ з/п	Назва лабораторної роботи	Кількість ауд. годин
1	Опис та тестування ЦП комбінаційного типу. Програмування на ПЛІС	4
2	Опис та тестування ЦП послідовнісного типу. Програмування на ПЛІС	4
3	Опис та тестування цифрового інтерфейсу до ЦАП. Створення генератор сигналів заданої форми	4
4	Опис та тестування цифрового інтерфейсу до АЦП. Реалізація цифрового фільтру. Дискретизація аналогового сигналу, його цифрова фільтрація та відтворення на ЦАП	4

Усі лабораторні роботи виконуються в середовищі автоматизованого проектування Quartus II на навчальних макетах з ПЛІС фірми Altera. Кожен студент отримує індивідуальне завдання, яке виконується ним самостійно на своєму робочому місці, обладнаному персональним комп'ютером та макетом з ПЛІС. Завдання на лабораторні роботи студенти отримують заздалегідь. Перед початком заняття проводиться опитування для того, щоб оцінити готовність студента до проведення роботи. Після виконання роботи відбувається захист та обговорення отриманих результатів.

Проведення лабораторних робіт планується після вивчення основного матеріалу, оскільки лабораторні роботи комплексні.

6. Самостійна робота студента

№ з/п	Назва теми, що виноситься на самостійне опрацювання	Кількість годин СРС
1	Тема 6: «Методологія тестування функціональної коректності моделей ЦП на Verilog» - складання тест плану; - створення модулів автоматичної перевірки функціональної коректності ієрархічного модуля ЦП; Література: - Harris D. M. Digital Design and Computer Architecture, ch. 4.8	6
2	Тема 7: «Опис параметричних модулів ЦП» - параметризація окремих модулів ієрархічного проекту відповідно до завдання ДКР; - модифікація комбінаційних схем з можливістю побудови конвеєру відповідно до завдання ДКР ; Література: - Ciletti M. D. Advanced Digital Design with the Verilog HDL, ch. 5.10 - Harris D. M. Digital Design and Computer Architecture, ch. 4.7	6

Домашня контрольна робота

Основні цілі ДКР – розвинути навички самостійного ведення власного проекту, зокрема розроблення радіотехнічного пристрою з використанням ПЛІС.

Кожне індивідуальне завдання ДКР є специфікацією на цифровий пристрій. У специфікації описано функціональність, котру слід реалізувати. Також може бути приведена структура проекту та шлях реалізації того чи іншого цифрового пристрою.

Проект відповідно до завдання ДКР має складатися з двох частин: модулів, що описують функціональну модель цифрового пристрою та модуля автоматичного тестування, що забезпечує верифікацію проекту. Для верифікації проекту слід продумати тест план, описати модуль тестування (testbench) та визначити очікуванні результати симуляції. Як мінімум, тест план має описувати: 1) функціональні особливості, які слід протестувати; 2) те як саме ці особливості доцільно перевіряти.

Типові завдання для ДКР

1. Розробити та перевірити на Verilog діаграм станів та поведінкову модель автомата Мілі та Мура, забезпечать виявлення у потоці значення 01002, починаючи з самого молодшого біта.
2. Розробити та перевірити модель 4-х розрядного лічильника, якому залежно від сигналу керування model буде реалізована можливість рахувати у двійковому коді або у коді Грея.
3. Розробити кінцевий автомат з входами clk та reset, та виходами clk_by_6 та clk_by_10, (подільник тактової частоти на 6 та 10, відповідно).
4. Розробити поведінкову модель модуля подільника частоти на 11 «Divide_by_11».
5. Описати модель модуля для визначення даних, що не є двійково-десятковому форматі кодування.
6. Розробити, протестувати та синтезувати цифровий автомат Мура для розпізнавання у потоці кодової послідовності "001011".
7. Розробити, протестувати та синтезувати цифровий автомат Мілі для розпізнавання у потоці кодової послідовності "001011".
8. Використовуючи continuous assignment, розробити та перевірити модель компаратора, що може порівняти чотири 32-розр. беззнакові двійкові числа і сформувати на виході сигнал, який буде вказувати яке з чисел є найбільшим і яке найменше.
9. Використовуючи блок always, розробити та перевірити поведінкову модель компаратора, що може порівняти чотири 32-розр. беззнакові двійкові числа і сформувати на виході сигнал, який буде вказувати яке з чисел є найбільшим і яке найменше
10. Описати модель та підтвердити функціональність циклічного зсуваючого регістру. Такі регістри використовуються в сигнальних процесорах для уникнення проблем з переповненням результату внаслідок арифметичних операцій і дозволяє масштабувати значення. Так у разі зсуву вліво на 1 розр. значення множиться на 2, а у разі зсуву вправо – ділиться. Операція зсуву може бути реалізована комбінаційною схемою, проте у завданні слід використовувати додатково регістр.
11. Описати на Verilog та перевірити схему, що приведена нижче. Вихід P_odd буде рівний 1 на виході, якщо значення на вході D_in, що йдуть один за одним не є однаковими.
12. Розробити та перевірити на Verilog модель 4-розр. лічильника Джонсона.

Політика та контроль

7. Політика навчальної дисципліни (освітнього компонента)

Правила відвідування занять (як лекцій, так і практичних/лабораторних)

Обов'язковими до відвідування та виконання є лабораторні роботи. У разі пропуску цих занять, їх слід відпрацьовувати під час консультацій, або з іншими групами. У разі пропуску лекцій, слід проходити і здавати тести по матеріалам пропущеного заняття. Матеріали лекцій та відео розміщуються на LMS.

Захист лабораторних робіт

Лабораторні роботи захищаються у день виконання лабораторної роботи. Студент отримує дві оцінки. Перша за активність та ініціативність під час виконання лабораторної роботи та індивідуального заняття. Друга за захист та відповідь на контрольні запитання.

Захист індивідуальних завдань

В межах самостійної роботи студенти виконують завдання по матеріалам лекцій. За результатами перевірки слухачі курсу отримують коментарі від викладача та оцінку. Індивідуальні завдання не перездаються.

Заохочувальні та штрафних балів та політика щодо академічної доброчесності

Найбільш активні студенти та студенти, які виконують окремі завдання зразково можуть отримати до 10 балів до семестрового рейтингу.

Штрафні бали застосовуються у разі видавання чужої роботи за свою з обов'язковим подальшим її переопрацюванням.

Політика дедлайнів та перескладань

У разі пропуску кінцевих термінів здачі завдань для слухачів курсу зменшується максимальний бал по завданням на 10 %.

8. Види контролю та рейтингова система оцінювання результатів навчання (PCO)

Рейтингова система оцінювання

- Лекції / Вебінари - 18 год; (3 МКР x 10 балів)
- Практичні роботи / Тренінги - 18 год; (6 завдань x 5 балів)
- Лабораторні роботи - 18 год; (4 лаб x 5 балів)
- Домашня контрольна робота (1 проект x 20 балів)

Таблиця відповідності рейтингових балів оцінкам за університетською шкалою

Кількість балів	Оцінка
100-95	Відмінно
94-85	Дуже добре
84-75	Добре
74-65	Задовільно
64-60	Достатньо
Менше 60	Незадовільно
Не виконані умови допуску	Не допущено

9. Додаткова інформація з дисципліни (освітнього компонента)

Перелік запитань та завдань на залік

1. Описати на VerilogHDL зсуваючий 4-х розрядний регістр.
2. Конструкції Verilog "assign" та "always".
3. Просторовий та часовий паралелізм. Конвеєрна структура цифрових пристроїв.
4. Стили опису комбінаційних схем на VerilogHDL.
5. Описати на VerilogHDL комбінаційну схему поведінковим стилем на прикладі однорозрядного напівсуматора.
6. Часові характеристики комбінаційних схем: t_{cd} та t_{pd}
7. Часові характеристики послідовнісних цифрових пристроїв (t_{setup} ; t_{hold} ; t_{ccd} ; t_{pcd}).
8. Синхронні цифрові пристрої. Основні правила синтезу. Тактовий сигнал та фазовий зсув

(clock skew).

9. Кінцеві (цифрові) автомати. Способи опису кінцевих автоматів. Автомат Мура та Мілі.
10. Конструкції Verilog для опису ЦП і для симуляції .
11. Описати на VerilogHDL АЛП на 8 функцій.
12. Синхронізація в цифрових пристроях. Розмноження тактових імпульсів.
13. Завади типу голок в комбінаційних схемах, причини появи та способи боротьби.
14. Умови за яких схема може вважатися комбінаційною.
15. Яка різниця між фіксаторами (Latch) та тригерами (Flip-Flop).
16. Синхронізація в цифрових пристроях. Параметри синхроімпульсів (t_{setup} ; t_{hold} ; t_{ccd} ; t_{pcd}).
17. Описати на VerilogHDL кінцевий автомат Мура виявлення кодової послідовності 1010.
18. Синхронні та асинхронні схеми, класифікація.
19. Детектори переднього і заднього фронтів імпульсу.
20. Описати на VerilogHDL асинхронний лічильник $M=6$.
21. Синтез розподільників імпульсів.
22. Принципові схеми D фіксатора.
23. Описати на VerilogHDL 5-ти розрядний підсумовуючий синхронний лічильник.
24. Однорозрядний повний суматор. Опис на VerilogHDL.
25. Описати на VerilogHDL перетворювач двійкового коду в код семисегментного ындикатора
26. Описати на VerilogHDL регістри пам'яті з паралельним та послідовним записом даних.
27. Описати на Verilog модель JK тригера.
28. Описати на VerilogHDL підсумовуючий синхронний лічильник з модулем лічби 10.
29. Описати на VerilogHDL реверсивний синхронний лічильник.
30. Описати на VerilogHDL дешифратор двійкового коду в семисегментний.
31. Структурний опис комбінаційних схем на VerilogHDL
32. АЛП. Структурна схема АЛП на 8 функцій.
33. Часові характеристики послідовнісних цифрових пристроїв (t_{setup} ; t_{hold} ; t_{ccd} ; t_{pcd}).
34. Загальна структурна схема кінцевого автомата.
35. Описати модель мультиплексор поведінковим та структурним стилем.
36. Описати на VerilogHDL базові логічні елементи.
37. Описати на VerilogHDL послідовний багаторозрядний суматор.
38. Описати на VerilogHDL підсумовуючий синхронний лічильник з модулем лічби 9.
39. Описати на VerilogHDL віднімаючий синхронний лічильник з модулем лічби 10.
40. Паралельний суматор з паралельним переносом.
41. Описати модель D тригера з перемиканням по передньому і задньому фронту.
42. Описати модель накопичуючого суматора.
43. Описати на VerilogHDL модель підсумовуючого лічильника з попереднім асинхронним встановленням.
44. Описати на VerilogHDL дешифратор на 8 в 3.
45. Описати на Verilog схему порівняння бітів $A > B$.
46. Описати на VerilogHDL мультиплексор на 4 адресних входи.
47. Описати на VerilogHDL двійкового коду в код Грея.
48. Описати на VerilogHDL кінцевий автомат Мура виявлення кодової послідовності 110101 .
49. Описати на VerilogHDL кінцевий автомат Мілі виявлення кодової послідовності 1011.
50. Описати на VerilogHDL мультиплексор на 8 інформаційних входів.
51. Описати на VerilogHDL асинхронний віднімаючий лічильник $M=5$.
52. Описати на Verilog комбінаційну схему за логічною функцією.
53. Описати на Verilog синхронний лічильник з $M=5$.
54. Описати на Verilog комбінаційну схему поведінковим стилем.
55. Описати на Verilog схему порівняння бітів $A \geq B$.
56. Описати на VerilogHDL 8-ми розрядний регістр з паралельним занесенням даних.
57. Описати на Verilog схему порівняння двох дво-розрядних чисел $A \leq B$.
58. Описати на VerilogHDL шифратор на 2 в 4.
59. Описати на Verilog схему порівняння бітів $A < B$.
60. Описати на VerilogHDL лічильник з $M=7$
61. Синтезувати підсумовуючий лічильник з станами 3,4,5,6,7,3.1

62. Описати на VerilogHDL схему автомата Мілі за діаграмою станів.
63. Описати на Verilog підсумовуючий лічильник з $M = 5$.
64. Описати на VerilogHDL перетворювач 3-х розрядного двійкового коду в код Грея.
65. Описати на VerilogHDL D-тригер
66. Описати на VerilogHDL підсумовуючий лічильник з $M = 7$.
67. Описати на Verilog компаратор двох дворозрядних чисел $A \neq B$.
68. Описати на VerilogHDL компаратор з виходом $A = B$.
69. Описати на VerilogHDL 4-х розрядний суматор з використанням вже описаного модуля повного суматора.

Опис матеріально-технічного та інформаційного забезпечення дисципліни

Лабораторні роботи проводяться в спеціалізованій лабораторії 5106-17. Обладнано 8-м робочих місць з макетами на основі ПЛІС ALTERA ACEX10.

Робочу програму навчальної дисципліни (силабус):

Складено [Мосійчук В. С.](#); [Титенко О. Т.](#);

Ухвалено кафедрою ПРЕ (протокол № 06/2025 від 24.06.2025)

Погоджено методичною комісією факультету/ННІ (протокол № 06/2025 від 25.06.2025)